

## An RFSoc-Based Wideband Receiving Platform for Spectrum Sensing: Design, Implementation, and RF Performance Verification

XU Jianxiang<sup>1</sup>, HU Jiyingshuo<sup>1,2</sup>, ZHOU Li<sup>1</sup>, ZHU Yan<sup>1</sup>, HUANG Yonghui<sup>1</sup>, WANG Jinyang<sup>1,2\*</sup>

(1. Key Laboratory of Electronics and Information Technology for Complex Aerospace Systems, National Space Science Center, Chinese Academy of Science, Beijing 101499, China; 2. School of Computer Science and Technology, University of Chinese Academy of Sciences, Beijing 100049, China)

**Abstract:** The electromagnetic spectrum is a core strategic resource of modern information systems. As the physical-layer foundation of spectrum cognition, a high-performance wideband RF receiving platform directly bounds the performance ceiling of subsequent sensing and cognition algorithms through its front-end hardware performance. This paper presents a highly integrated software-defined radio platform for spectrum cognition applications based on radio frequency system-on-chip (RFSoc) technology, integrating Gsps-class high-speed AD/DA converters, FPGA programmable logic, multi-core ARM processors, DDR4 high-capacity memory, and diversified high-speed peripheral interfaces onto a single 150 mm × 100 mm board. A systematic RF receiving performance evaluation is conducted via a direct signal-source connection method, covering key dimensions including basic receiving parameters, ADC core dynamic performance, and dynamic range with sensitivity. Experimental results demonstrate that the platform supports a maximum receiving frequency of 4 GHz, maintains an effective number of bits (ENOB) of 7.97—8.32 bits, achieves a noise spectral density better than  $-151$  dBFS/Hz, and delivers a system dynamic range exceeding 71 dB. With its comprehensive advantages in high integration density, wide instantaneous bandwidth, and diversified high-speed interfaces, the platform offers an effective hardware foundation for spectrum cognition intelligence.

### Highlights

1. A highly integrated RFSoc-based wideband software-defined radio platform is designed and implemented on a single 150 mm × 100 mm board, integrating Gsps-class RF-ADC/DAC, FPGA programmable logic, multi-core ARM processors, 2 GByte DDR4 memory, and diversified high-speed interfaces (Gigabit Ethernet, 100 Gbps QSFP28 optical fiber, and 20 Gbps USB-C/Thunderbolt 3), eliminating the inter-board interconnection bottleneck of conventional multi-board SDR architectures.
2. A heterogeneous “PS-side master scheduling, PL-side parallel computing” co-processing architecture is established, supporting a complete signal processing chain from RF digitization and FPGA-based real-time parameter extraction to ARM-level high-layer decision-making for spectrum cognition algorithms.
3. A three-tier board-level RF receiving performance evaluation framework—covering basic receiving parameters, ADC core dynamic performance, and dynamic range with sensitivity—is constructed in accordance with IEEE Std 1241 and the Xilinx RF-sampling data converter white paper, providing a standardized quantitative methodology for RFSoc platform engineering deployment.
4. Board-level measurements verify a maximum receiving frequency of 4 GHz, an ENOB of 7.97—8.32 bits, a noise spectral density better than  $-151$  dBFS/Hz within the DC—2.025 GHz first Nyquist zone, and a system dynamic range exceeding 71 dB, with the noise spectral density variation across frequency points confined within 1.5 dB, confirming the effectiveness of the low-noise power and low-jitter clock subsystem designs.

**Key words:** radio frequency system-on-chip (RFSoc); software-defined radio; spectrum cognition; wideband receiving; RF performance measurement; effective number of bits (ENOB)

---

**Foundation item:** National Major Project (No.GJ110500).

**Received:** 2026-03-15; **Revised:** 2026-05-09

**\*Corresponding author, E-mail:** wangjinyang21@mails.ucas.ac.cn.

# 面向频谱认知的 RFSoc 宽带接收平台:设计、实现与射频性能验证

徐建祥<sup>1</sup>, 胡继英朔<sup>1,2</sup>, 周莉<sup>1</sup>, 朱岩<sup>1</sup>, 黄永辉<sup>1</sup>, 王晋阳<sup>1,2</sup>

(1. 中国科学院国家空间科学中心复杂航天系统电子信息技术重点实验室, 北京 101499; 2. 中国科学院大学计算机科学与技术学院, 北京 100049)

**摘要:** 电磁频谱是现代信息体系的核心战略资源, 而高性能宽带射频接收平台作为频谱认知的物理层基础, 其前端硬件性能直接制约感知与认知算法的性能上限。本文基于射频片上系统技术, 设计并实现了一种面向频谱认知应用的高集成度软件无线电平台, 在 150 mm × 100 mm 单板上集成了 Gsps 级高速 AD/DA 转换器、FPGA 可编程逻辑、多核 ARM 处理器、DDR4 大容量存储器及多样化高速外设接口。采用信号源直连方式对平台射频接收性能进行了系统性实测与分析, 测试指标类别涵盖基本接收参数、ADC 核心性能及动态范围与灵敏度等关键维度。实测结果表明, 该平台可接收频率最高达 4 GHz, 在 DC~2.025 GHz 第一奈奎斯特区内, 有效位数保持在 7.97~8.32 bit, 噪声谱密度优于 -151 dBFS/Hz, 系统动态范围超过 71 dB, 在高集成度、宽瞬时带宽与多样化高速接口等方面展现出综合优势, 可为频谱认知智能提供有效的硬件支撑。

**关键词:** 射频片上系统; 软件无线电; 频谱认知; 宽带接收; 射频性能测试; 有效位数

**中图分类号:** TN85; TN971.1 **文献标志码:** A

**引用格式:** 徐建祥, 胡继英朔, 周莉, 等. 面向频谱认知的 RFSoc 宽带接收平台: 设计、实现与射频性能验证[J]. 数据采集与处理, 2026, 41(3): 710-724. XU Jianxiang, HU Jiyingshuo, ZHOU Li, et al. An RFSoc-based wideband receiving platform for spectrum sensing: Design, implementation, and RF performance verification[J]. Journal of Data Acquisition and Processing, 2026, 41(3): 710-724.

## 引言

电磁频谱作为国家战略资源, 在无线通信、雷达探测、电子对抗和频谱监管等领域发挥着不可替代的作用<sup>[1-2]</sup>。随着各类无线电设备和用频系统的快速增长, 电磁环境日趋复杂, 信号体制多样化、频段重叠化、调制方式复杂化等特征日益显著<sup>[3-5]</sup>。在此背景下, 频谱认知智能作为实现电磁环境自主感知、特征理解与智能决策的关键技术范式, 已成为电磁频谱领域的前沿研究方向<sup>[6-9]</sup>。频谱认知智能技术旨在通过智能化手段实现对电磁频谱的动态感知、精细识别与自适应管控, 其研究涵盖频谱感知测绘、信号识别、参数估计及辐射源定位等多个层面<sup>[10-11]</sup>。

在频谱认知的技术链路中, 宽带射频信号的高保真接收是整个处理流程的起点和基础, 接收前端的硬件性能直接决定了后续认知算法可获取信息的质量上限<sup>[12]</sup>。近年来, 软件无线电(Software defined radio, SDR)架构凭借其灵活可重构的优势, 已成为构建频谱认知前端的主流技术路线。以 Ettus Research 的通用软件无线电外设(Universal software radio peripheral, USRP)系列为代表的商用 SDR 平

台在频谱监测和认知无线电研究中得到了广泛应用<sup>[13-16]</sup>。然而,随着频谱认知应用对瞬时带宽、实时处理能力和系统便携性要求的不断提高,传统多板卡分立式SDR架构的局限性日益凸显:一方面,典型USRP平台的瞬时带宽通常在56~160 MHz量级(如USRP B210为56 MHz, X310为160 MHz),与GHz级宽带频谱认知需求之间存在显著差距;另一方面,多板卡之间需通过高速线缆或背板进行互连,板间信号传输引入的附加噪声、相位失配和时延不一致等问题影响信号通路完整性;此外,多板卡架构还导致系统体积、功耗和复杂度显著增大,不利于便携式与嵌入式场景下的部署应用<sup>[17-18]</sup>。

射频片上系统(Radio frequency system-on-chip, RFSoc)技术的出现为构建新一代高集成度宽带接收平台提供了新的技术途径。RFSoc将高速模数/数模转换器(Analog-to-digital/digital-to-analog converter, AD/DA)、现场可编程门阵列(Field programmable gate array, FPGA)可编程逻辑与多核ARM处理器集成于单芯片内,从根本上消除了射频采样与数字处理之间的板间互连,在降低系统复杂度的同时提升了信号通路的完整性<sup>[19]</sup>。以Xilinx(现AMD)Zynq UltraScale+RFSoc系列为代表,该类芯片已实现12位/14位精度、最高4.096 Gsps采样率的射频模数转换器(Radio frequency analog-to-digital converter, RF-ADC)集成,为GHz级瞬时带宽的直接射频采样提供了硬件基础<sup>[20]</sup>。近年来,基于RFSoc的平台已在通信基站原型验证<sup>[21]</sup>、雷达信号处理<sup>[22]</sup>、射电天文信号采集<sup>[23]</sup>、宽带频谱监测感知<sup>[24]</sup>以及认知无线电系统<sup>[25]</sup>等领域得到应用,充分展现了其在系统实现和应用示范方面的潜力。

值得注意的是,对于一款面向频谱认知应用的宽带接收平台而言,完成硬件设计与功能实现仅是第一步,对其射频接收性能进行系统性的实测与分析同样不可或缺。芯片数据手册所标注的ADC性能参数通常是在理想测试条件下获得的,而实际板级环境中的电源噪声、印制电路板(Printed circuit board, PCB)布局、时钟质量及巴伦变压器特性等因素均会影响最终的接收性能<sup>[26-27]</sup>。因此,通过规范化的测试方法对平台的实际接收能力进行全面评估,对于明确平台的性能边界、指导后续算法设计与系统优化具有重要的工程价值及学术意义。

基于上述背景,本文设计并实现了一种基于RFSoc的面向频谱认知应用的高集成度软件无线电宽带接收平台,并以IEEE Std 1241标准<sup>[28]</sup>和Xilinx应用白皮书<sup>[29]</sup>等规范化方法为指导,围绕工作频率范围、瞬时带宽、信噪比(Signal-to-noise ratio, SNR)、信纳比(Signal-to-noise and distortion ratio, SINAD)、有效位数(Effective number of bits, ENOB)和无杂散动态范围(Spurious-free dynamic range, SFDR)等关键维度对平台开展了系统性的板级射频接收性能实测与分析。本文的主要贡献包括:

(1)设计了一种将Gsps级高速AD/DA转换器、FPGA可编程逻辑、多核ARM处理器、四代双倍速率同步动态随机存取存储器(Double data rate fourth generation synchronous dynamic random access memory, DDR4 SDRAM)及多样化高速外设接口集成于150 mm×100 mm单板的集成度宽带接收平台。平台配备完善的电源管理与时钟综合机制,提供千兆以太网、高速光纤(最高100 Gbps)、高速通用串行总线(Universal serial bus, USB)/Thunderbolt 3(最高20 Gbps)等多样化接口,支持分布式与独立两种工作模式,为频谱认知应用提供了高可靠、宽频带的硬件基础。

(2)平台基于FPGA与ARM处理器的异构计算架构,结合2 GByte DDR4大容量缓存与多样化高速数据接口,可支撑从射频信号接收与数字化、FPGA实时信号处理与参数提取,到ARM高层算法处理与结果输出的完整信号处理流程,为频谱认知算法的异构协同部署与工程化应用提供了硬件支撑。

(3)采用信号源直连方式建立了由基本接收参数、ADC核心性能以及动态范围与灵敏度这3个维度构成的射频接收性能测试体系,分别从频率覆盖能力、信号数字化保真度与功率适应范围对平台进行系统性板级实测,并基于实测数据分析了板级环境因素对接收性能的实际影响,为RFSoc平台的工程化应用提供了定量参考。

## 1 平台硬件架构设计

### 1.1 总体架构

本文基于RFSoc技术设计了一种面向频谱认知应用的高集成度软件无线电宽带接收平台。平台采用Xilinx(现AMD)公司的XCZU27DR RFSoc芯片,将其集成的射频数据转换器、FPGA可编程逻辑与多核ARM处理器,及配套设计的电源供电、时钟综合、射频信号收发与外设接口等模块,整合于一块150 mm×100 mm的PCB上,具备Gsp/s级采样率与GHz级瞬时带宽的射频信号接收与处理能力。平台核心器件型号与关键参数如表1所示。

表1 平台核心器件与关键参数

Table 1 Core components and key parameters of the platform

模块	器件/参数项	规格
核心芯片	型号	XCZU27DR-2FFVG1517I
RF-ADC	通道数/分辨率/最高采样率	8通道/12 bit/4.096 Gsp/s
RF-DAC	通道数/分辨率/最高采样率	8通道/14 bit/6.554 Gsp/s
FPGA可编程逻辑	系统逻辑单元/DSP Slices/Block RAM/UltraRAM	约930 000/4 272/约38 Mbit/约36 Mbit
应用处理器	型号/核心数/最高主频	ARM Cortex-A53/四核/1.5 GHz
实时处理器	型号/核心数	ARM Cortex-R5F/双核
DDR4 SDRAM	容量/数据位宽/运行速率/时序	2 GByte/64 bit/2 400 (MT·s <sup>-1</sup> )/CL17-17-17

平台整体硬件架构如图1所示。电源供电模块负责输入电源保护、电压转换及上电时序控制;时钟综合模块提供高精度采样时钟并支持板内及板间时钟同步;数字信号处理模块作为平台核心,承担射

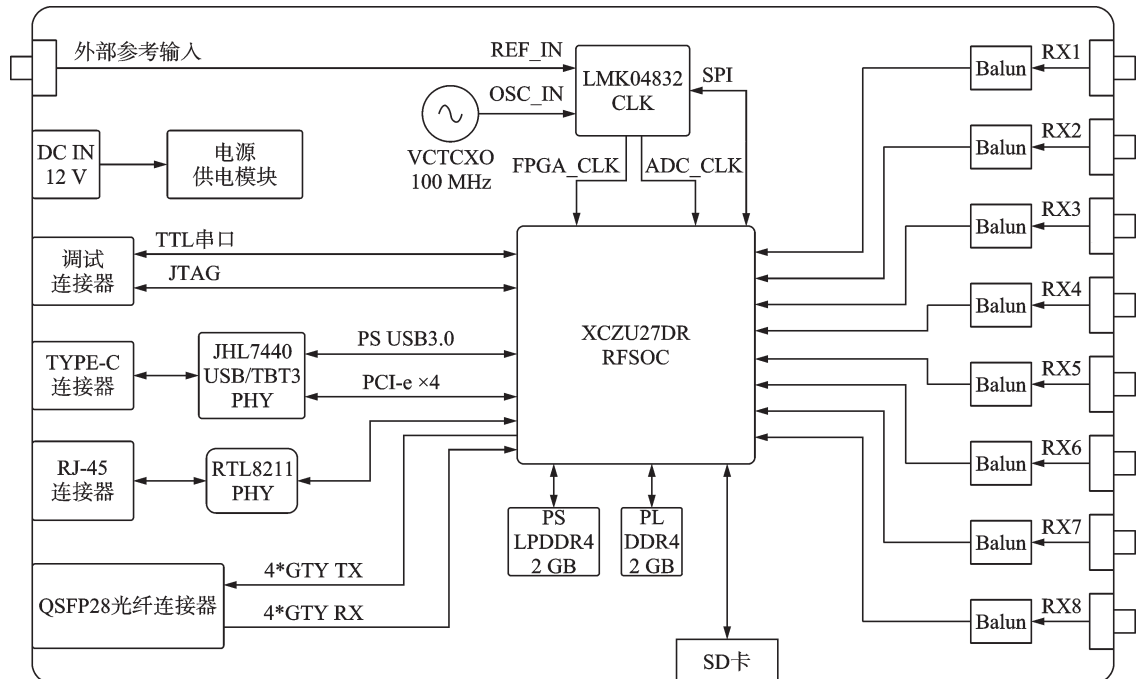


图1 基于RFSoc的电子侦察平台整体硬件架构图

Fig.1 Overall hardware architecture of the RFSoc-based electronic reconnaissance platform

频信号的数字化采样与异构协同处理;射频信号收发模块完成射频模拟信号与数字基带信号之间的双向转换;外设接口模块提供多样化的数据传输与调试控制接口。以下依次对各模块的设计方案进行阐述。

## 1.2 电源供电模块

电源供电模块包括电源输入保护电路和电源变换电路。电源输入保护电路采用电压钳位与极性保护设计,将输入电源电压限制在5~12 V的安全范围内,并提供输入反接保护功能,当输入电压越限或极性接反时及时切断供电回路,防止内部器件因电源异常而损坏。

电源变换电路根据负载特性采用分级变换策略。数字逻辑部分采用多个DC/DC开关变换器芯片,将输入电源高效转换为0.85、1.8、3.3和5 V等多路电压,分别为RFSoc芯片处理器核心、I/O逻辑、DDR4存储器及外围数字电路供电;模拟敏感电路部分采用多个低压差线性稳压器(Low dropout regulator, LDO),输出0.9、2.5和3.3 V等低噪声电压,为时钟综合模块和射频信号收发模块提供独立的低噪声供电通路,以抑制开关纹波对采样时钟相位噪声及ADC信噪比的不利影响。此外,电源变换电路集成了上电时序控制逻辑,按照RFSoc芯片数据手册规定的时序关系依次输出各路电压,避免因上电顺序错误导致板卡门锁或功能异常。

## 1.3 时钟综合模块

时钟综合模块采用TI公司的LMK04832高性能多路时钟综合器芯片,以平台板载的100 MHz温度补偿晶体振荡器(Temperature compensated crystal oscillator, TCXO)作为参考时钟源,经内部锁相环(Phase-locked loop, PLL)综合输出多路低抖动时钟信号,包括AD/DA转换器所需的高速采样时钟、FPGA数字信号处理所需的运算时钟以及系统管理辅助时钟。时钟抖动直接影响ADC的信噪比与有效位数<sup>[26]</sup>,LMK04832的低抖动输出特性有助于保障平台在高采样率条件下的动态性能。

平台运行过程中,ARM处理器可通过SPI总线对LMK04832寄存器进行在线配置,实现时钟输出频率的动态调整,以适应不同信号带宽条件下的采样率切换需求。该模块还预留了外部参考时钟输入接口,可将全部输出时钟锁定于外部高精度基准,实现多块板卡之间的时钟同步,满足分布式多通道频谱感知系统对时钟一致性的要求。

## 1.4 数字信号处理模块

数字信号处理模块采用XCZU27DR RFSoc芯片实现,该芯片将射频数据转换器、FPGA可编程逻辑和多核ARM处理器构成异构计算架构<sup>[19-20]</sup>。

在射频数据转换方面,平台具备多路高速AD/DA转换器(具体参数见表1),其中RF-ADC为8通道、12位分辨率、最高采样率4.096 Gsps,支持GHz级瞬时带宽内射频信号的直接数字化采样,无需外部混频下变频,从而简化了射频前端的硬件复杂度;RF-DAC为8通道、14位分辨率、最高采样率6.554 Gsps,可支持宽带信号的直接射频合成与发射。

在可编程逻辑(Programmable logic, PL)方面,FPGA资源可用于部署多种实时信号处理算法,包括:快速傅里叶变换(Fast Fourier transform, FFT)用于频域分析与频谱感知,FIR/IIR数字滤波器用于信号滤波与信道选择,调制识别算法用于接收信号调制方式的自动分类,参数估计算法用于提取载频、带宽、码元速率等信号特征参数,以及信号分选、恒虚警率(Constant false alarm rate, CFAR)检测、脉冲参数测量用于后续的雷达信号分选等算法。上述任务的特点在于计算密集而数据流规整,适合利用FPGA的硬件并行架构实现流水线化处理。同时,得益于FPGA的可重构特性,平台可根据不同应用场景的实际需求灵活调整和部署具体的信号处理任务。FPGA通过AXI4高速总线与外挂的2 GByte DDR4 SDRAM连接,为上述算法提供充足的数据缓存空间,支持长时间频谱累积等需要较大历史数据

窗口的处理任务。

在处理器系统(Processing system, PS)方面,四核 ARM Cortex-A53 应用处理器运行嵌入式 Linux 操作系统,在整个信号处理流程中承担控制核心的角色。此外,芯片还集成了双核 ARM Cortex-R5F 实时处理器,可用于对时延敏感的底层控制任务。其主要职责包括:系统管理、任务调度(包括时钟模块在线配置、采样参数动态设置)、PL 端算法所需输入参数的计算及定点数转换、高层判断与决策等。即在整个信号处理链路中,流程调度与阶段切换由 PS 端统一控制,针对需要高吞吐并行计算的处理阶段由 PS 端将任务分发至 PL 端完成,其余控制与决策逻辑则在 PS 端软件层实现。

PS 与 PL 之间通过片上 AXI4(Advanced eXtensible interface 4)互连总线进行高速数据交互,其中 AXI4-HP(High performance)接口用于大数据量传输,理论带宽可达数 GB/s;AXI4-Lite 接口用于寄存器级控制与参数配置。上述架构形成“PS 端主控调度、PL 端并行计算”的异构协同处理模式。

### 1.5 射频信号收发模块与外设接口模块

射频信号收发模块采用射频巴伦变压器(Balun)作为阻抗匹配与单端-差分转换器件,实现射频模拟信号与数字基带信号之间的双向转换。在接收方向上,来自外部天线的单端射频信号经巴伦变压器转换为差分信号后,输入至 RFSoc 芯片内部 RF-ADC 进行数字化采样,所得数字基带信号送入 FPGA 可编程逻辑进行后续处理;在发射方向上,FPGA 处理后的数字基带信号经芯片内部 RF-DAC 还原为模拟信号,再经巴伦变压器转换为单端信号后由外部天线辐射。

### 1.6 外设接口模块

外设接口模块提供以下 4 类接口:

(1)平台调试接口:包括 TTL 电平串口和 JTAG 接口。TTL 串口由处理器系统 PS 端引出,用于系统日志输出、运行状态监控及控制命令输入;JTAG 接口用于 ARM 处理器程序加载与在线调试以及 FPGA 比特流文件加载与逻辑调试。

(2)千兆以太网接口:采用 RTL8211F 千兆以太网物理层(PHY)芯片,与 PS 端千兆以太网 MAC 控制器经 RGMII 接口连接,用于远程参数配置、状态查询与健康监控。

(3)高速光纤接口:基于可编程逻辑,PL 端集成的 GTY 收发器实现,单通道最高传输速率 32.75 Gbps,经 PCB 走线引出至 QSFP28 光模块连接器,总带宽可达 100 Gbps,兼容 Aurora 及 100 G 以太网协议,用于原始射频数据的高速回传及多板卡间数据交换。

(4)高速 USB 接口:采用 TYPE-C 连接器,兼容 USB2.0、USB3.0 及 Thunderbolt3 协议,最高数据传输带宽 20 Gbps,支持通过单根线缆实现数据传输、平台供电与控制监控的一线式连接。

综上,平台基于 RFSoc 单芯片集成架构,将 Gsps 级射频采样、FPGA 与 ARM 异构处理、2 GByte DDR4 缓存及千兆以太网、100 Gbps 光纤、20 Gbps USB 等多样化高速接口整合于 150 mm×100 mm 单板上,在系统集成度、瞬时带宽与接口灵活性方面为频谱认知应用提供了硬件基础。得益于软件无线电的开放式架构与 FPGA 可编程特性,该平台不依赖于特定应用场景,可通过加载不同的信号处理算法与功能固件,灵活适配频谱监测与测绘、认知无线电动态频谱接入、电子侦察与信号分选、无线电管制与干扰源定位等多种频谱认知任务需求,具备良好的通用性与可扩展性。下一节将针对该平台建立系统性的射频接收性能测试方案,对其板级实际接收能力进行定量评估。

## 2 射频接收性能测试方案

### 2.1 测试环境与连接方案

为全面验证平台的射频接收性能,采用信号源直连方式进行测试,消除空间传播、多径效应等干扰

因素,确保测试结果反映平台自身的真实接收能力。信号源输出端依次经校准射频线缆、低通滤波器后接入平台射频输入端口。

测试链路中引入低通滤波器的目的在于抑制信号源自身的谐波分量。信号源输出的单音信号不可避免地携带二次、三次等高次谐波,若不加以滤除,这些谐波将与平台ADC自身产生的非线性失真产物叠加,导致SINAD及SFDR等指标的测试结果偏离平台真实性能。为此,针对每个测试频点分别配置截止频率匹配的低通滤波器,确保信号源谐波在进入平台前被充分抑制,使测试结果仅反映平台自身的非线性特性。

测试前,借助频谱仪对信号源的输出信号进行校验与功率标定。具体操作为:首先,在信号源输出端串接相应频段的射频滤波器,并将外部测试链路的末端直接接入频谱仪。在此状态下,借助频谱仪同步完成两项关键校验:一是观测信号的频谱分布,确保信号源自身产生的谐波被彻底压制在待测系统的本底噪声之下;二是测量当前频点的实际输出功率,从而标定外部链路(含滤波器和同轴线缆)的插入损耗。随后,结合RFSoc数据手册中给出的ADC标称满量程输入功率,扣除上述测得的外部链路损耗,调整信号源的输出电平,使得到达待测平台射频输入SMA接口的信号功率恰好等于标称满量程回退1 dB的水平。标定完成后,再将信号源切换接入被测平台进行正式测试。平台ADC采样率设置为4.05 Gsps,对应第一奈奎斯特区为DC~2.025 GHz。测试环境参数如表2所示。

表2 测试环境参数

Table 2 Test environment parameters

设备/参数	型号/数值	备注
信号源	R&S SMW200A	矢量信号源
频谱仪	N9020a MXA	
低通滤波器	Mini-Circuit s VLFG-490+	500 MHz 频点
低通滤波器	Mini-Circuit s VLFG-1200+	1 GHz 频点
低通滤波器	Mini-Circuit s VLFG-1525+	1.5 GHz 频点
射频线缆	超低损耗稳幅稳相柔性同轴电缆 YX-CA360-SMSM-L	已校准
被测平台	RFSoc (XCZU27DR)	
采样率/Gsps	4.050	
测试温度/°C	24.5	室温环境

## 2.2 测试频点选取

测试频点的选取需兼顾对奈奎斯特区频率响应的代表性覆盖和对ADC动态性能的充分验证。本文选取4个测试频点:500 MHz、1 GHz、1.5 GHz和2.4 GHz,覆盖第一奈奎斯特区与第二奈奎斯特区。

前3个频点位于第一奈奎斯特区(DC~2.025 GHz)内,分别对应奈奎斯特带宽的1/4、1/2和3/4处。500 MHz位于低频段,ADC在该频段通常表现出接近理想的动态性能,可作为平台性能的基准参考;1 GHz位于奈奎斯特区中心,是宽带频谱感知应用中最具代表性的工作频段,该频点的测试结果可反映平台在典型工作条件下的性能水平;1.5 GHz逼近奈奎斯特区高频边缘,ADC采样保持电路带宽限制、时钟抖动影响以及巴伦变压器高频特性退化等因素在该频段将产生显著影响,可用于评估平台在高频端的性能边界。

2.4 GHz位于第二奈奎斯特区(2.025~4.050 GHz),对应2.4 GHz ISM频段,是WiFi、蓝牙等多种无线通信体制的共用频段,也是频谱认知应用中信号最为密集、监测需求最为迫切的频段之一。RFSoc的RF-ADC支持多奈奎斯特区工作,2.4 GHz信号经采样后混叠至第一奈奎斯特区内进行数字化处理。引入该频点旨在考察平台在高输入频率下的动态性能退化程度以及利用高奈奎斯特区进行直接射频采样的实际接收能力。

### 2.3 测试指标体系

本文围绕频谱认知应用对接收前端的性能需求,建立了涵盖基本接收参数、ADC核心性能以及动态范围与灵敏度的射频接收性能测试指标体系,如表3所示。

表3 射频接收性能测试指标体系  
Table 3 RF receiving performance test metric system

指标类别	测试指标	测试方法概述
基本接收参数	最大接收频率	单音信号扫频测试
	实测信号频率	FFT峰值频率提取
ADC核心性能	SNR	满量程单音FFT分析
	SINAD	SNR与THD综合
	ENOB	由SINAD换算
	SFDR	单音输入最强杂散测量
动态范围与灵敏度	NSD	由SNR与采样率换算
	MDS	逐步降低输入功率
	$P_{\max}$	逐步增大输入功率
	系统动态范围DR	$DR = P_{\max} - MDS$

需要说明的是,上述指标对测试频点的要求有所不同。基本接收参数需要在整个工作频带内连续扫描或在带宽边缘进行测量,不依赖于特定频点;ADC核心性能以及动态范围与灵敏度则属于定频类指标,需在2.2节所述的4个测试频点上分别进行测量,以考察平台在不同输入频率下的性能表现。以下依次阐述各类指标的物理意义与测试方法。

#### 2.3.1 基本接收参数

基本接收参数描述平台射频前端的频率覆盖能力,是评估平台能否满足宽带频谱感知频段覆盖需求的基础指标。最大接收频率是指平台能够正常接收并数字化射频信号的频率上限。频谱认知应用需要尽可能宽的频率覆盖范围,以实现对复杂电磁环境的全面感知。测试时,信号源输出固定功率的单音信号从低频向高频逐步扫频,记录平台可正常接收的最高频率,验证其是否具备直至4 GHz的射频信号接收能力。

#### 2.3.2 ADC核心性能

ADC核心性能是表征平台接收信号质量的关键指标,直接决定了后续频谱认知算法所能获取的有效信息量。各指标均在输入接近满量程单音信号、采集数据进行FFT分析的条件下测得。ADC核心性能指标包括:

(1)实测信号频率:指对输入单音信号进行FFT分析后,从频谱峰值位置提取的频率值。通过与信号源标称频率比对,验证平台频率测量的准确性,并确认采样过程中未出现频率偏移或误折叠,是保障后续各项动态性能指标分析有效性的基础校验项。

(2)信噪比(SNR):定义为信号功率与噪声功率(不含谐波)之比,表征ADC量化过程中引入的随机噪声水平。高SNR意味着平台能够在较低的信号功率下仍保持较好的检测能力,直接关系到频谱感知的灵敏度。其定义为

$$\text{SNR} = 10 \lg \frac{P_{\text{signal}}}{P_{\text{noise}}} \quad (1)$$

式中: $P_{\text{signal}}$ 为信号基频功率, $P_{\text{noise}}$ 为除谐波外的所有噪声分量功率之和。

(3)信纳比(SINAD):定义为信号功率与噪声及所有失真分量功率之和的比值,同时考虑了随机噪声和非线性失真的影响,是对ADC动态性能的综合度量。其定义为

$$\text{SINAD} = 10 \lg \frac{P_{\text{signal}}}{P_{\text{noise}} + \sum_{k=2}^K P_{H_k}} \quad (2)$$

(4)有效位数(ENOB):由SINAD换算得到,表征ADC在实际工作条件下等效的量化精度。ENOB越高意味着平台能够区分的信号幅度层次越多,有利于弱信号检测与信号特征提取。换算公式为

$$\text{ENOB} = \frac{\text{SINAD} - 1.76}{6.02} \quad (3)$$

(5)无杂散动态范围(SFDR):定义为信号基频功率与最强杂散分量功率之比,决定了平台在存在强信号时检测邻近弱信号的能力。在频谱认知场景中强弱信号共存的情况十分常见,高SFDR可有效避免强信号的杂散产物淹没弱信号。其定义为

$$\text{SFDR} = 10 \lg \frac{P_{\text{signal}}}{P_{\text{spur, max}}} \quad (4)$$

式中 $P_{\text{spur, max}}$ 为FFT频谱中除基频外功率最大的杂散分量功率。

(6)噪声谱密度(Noise spectral density, NSD):表征ADC输出噪声归一化到单位带宽内的噪声功率,单位为dBFS/Hz,由输入信号幅度、SNR与采样率换算得到,其公式为

$$\text{NSD} = A_{\text{sig}} - \text{SNR} - 10 \lg \frac{f_s}{2} \quad (5)$$

式中: $A_{\text{sig}}$ 为输入信号幅度(单位dBFS), $f_s$ 为ADC采样率。NSD是Xilinx应用白皮书<sup>[29]</sup>中重点论述的RF采样数据转换器核心性能指标,相比在整个奈奎斯特带宽上定义的SNR与ENOB,NSD将噪声归一化至单位频率分辨率,更适用于表征直接RF采样架构的底噪水平,是评估宽带频谱感知中信号检测能力的重要指标。

上述各项指标之间存在内在联系:实测信号频率作为基础校验项,确保后续各项指标的分析均针对正确的信号分量;SNR仅衡量随机噪声的影响,SINAD则在此基础上进一步纳入谐波失真等非线性分量,是对ADC动态性能更全面的度量;ENOB由SINAD直接换算,以等效位数的形式直观反映ADC的实际量化精度;SFDR独立反映最强单一杂散分量对弱信号检测的限制程度;NSD将噪声归一化至单位带宽,便于不同采样率配置下的横向比较。

### 2.3.3 动态范围与灵敏度

动态范围与灵敏度指标决定了平台在信号功率大幅变化的电磁环境中的适应能力,是频谱认知系统应对强弱信号共存场景的关键性能,包括

(1)最小可检测信号电平(Minimum detectable signal, MDS):指平台能够从噪声与失真中区分出

有效信号的最低输入功率,本文应用标准为 $SINAD=0$  dB,即信号功率等于噪声与全部谐波失真功率之和,信号处于可用性的临界边界。该准则综合考虑了噪声与非线性失真的影响,相比单纯以底噪为基准的定义方式,能更准确地反映平台在实际工作条件下的灵敏度下限。

(2)最大不失真输入电平 $P_{max}$ :指平台在保持信号不发生明显非线性失真条件下所能接受的最大输入功率,超过该电平后ADC进入饱和区,输出波形严重畸变。

(3)系统动态范围:定义为最大不失真输入电平与最小可检测信号电平之差,即

$$DR = P_{max} - MDS \quad (6)$$

系统动态范围综合反映了平台在功率维度上的信号接收区间,动态范围越大,平台对不同功率水平信号的兼容能力越强。

综合上述3类指标,测试体系以基本接收参数界定平台的工作频段,以ADC核心性能反映信号数字化过程中的保真程度,以动态范围与灵敏度衡量平台对不同功率水平信号的适应能力,三者相互补充为后续板级实测分析提供完整的指标依据。

### 3 测试结果与分析

基于第2节所述的测试方案与指标体系,本节对平台射频接收性能进行系统性实测。测试以平台射频输入SMA接口为参考面,所得各项指标反映的是信号经板上射频通路与ADC数字化全过程的综合输出表现,平台内部的时钟抖动、电源噪声、PCB走线阻抗不连续性、巴伦变压器插入损耗与非线性等板级因素均已隐含其中,实测结果即为平台在板级条件下整体性能的真实体现。下文将结合各项实测数据对相关板级因素的影响作进一步分析讨论。

#### 3.1 工作频率范围

为验证平台的最大接收频率,信号源输出固定功率的单音信号,从低频开始逐步扫频,步进为100 MHz,逐一确认各频点下平台均可正常完成信号接收与数字化,最终将输入频率提升至4 GHz。平台ADC采样率为4.050 Gsps,根据奈奎斯特采样定理,4 GHz信号位于第二奈奎斯特区,经欠采样后混叠至第一奈奎斯特区内50 MHz处。图2为平台接收4 GHz单音信号的FFT频谱图。由图2可见,信号分量在50.18 MHz处清晰可辨,与理论混叠频率50 MHz高度吻合,频谱中无明显的寄生或误折叠异常。在该频点下对采集数据进行FFT分析,实测SNR为20.91 dB, SINAD为20.29 dB,对应ENOB为3.08 bit, SFDR为36.58 dBc, NSD为-126.89 dBFS/Hz。

实测结果表明,在整个扫频过程中平台均可正常接收信号,在4 GHz输入频率下仍可完成有效的信号接收与数字化,验证了平台最大接收频率可达4 GHz,满足覆盖至第二奈奎斯特区的设计预期。结合第一奈奎斯特区2.025 GHz的瞬时带宽,平台可实现DC~4 GHz范围内射频信号的直接数字化采样,覆盖了频谱认知应用中主要关注的VHF/UHF至S波段,为复杂电磁环境下的宽频段频谱感知提供了硬件基础。4 GHz频点的动态性能受高奈奎斯特区工作条件影响有所退化,将在3.2节各频点对比测试中予以详细分析。

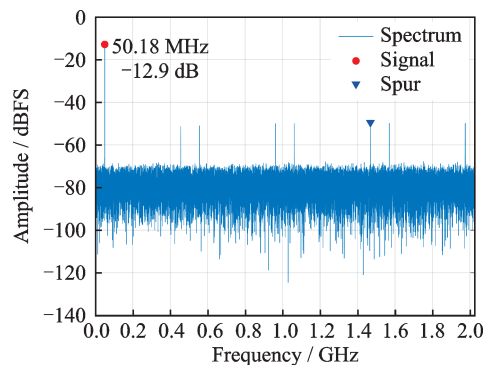


图2 4 GHz单音信号接收FFT频谱

Fig.2 FFT spectrum of 4 GHz single-tone signal reception

### 3.2 ADC动态性能

在4个测试频点(500 MHz、1 GHz、1.5 GHz、2.4 GHz)下,分别输入接近满量程的单音信号,采集65 536采样点后进行65 536点FFT分析,典型频点下的FFT频谱如图3所示。

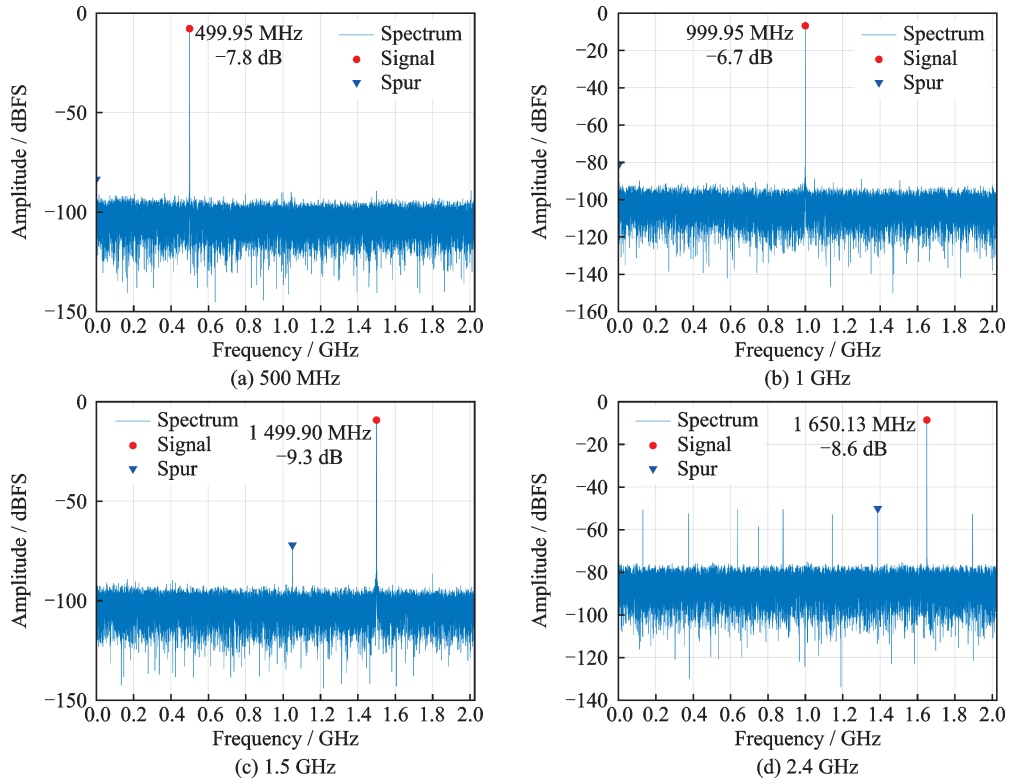


图3 典型频点下的FFT频谱图

Fig.3 FFT spectrum at typical frequency points

根据FFT分析结果,计算各频点下的实测频率、SNR、SINAD、ENOB、SFDR及NSD,汇总于表4。

表4 不同频点下的ADC动态性能测试结果

Table 4 ADC dynamic performance test results at different frequency points

输入频率/MHz	实测频率/MHz	SNR/dB	SINAD/dB	ENOB/bit	SFDR/dBc	NSD dBFS/Hz
500	499.95	51.93	51.83	8.32	75.72	-152.76
1 000	999.95	51.53	51.43	8.25	74.60	-151.34
1 500	1 499.90	50.00	49.75	7.97	62.86	-152.34
2 400	1 650.13	32.89	30.83	4.83	41.85	-135.58

从表4可以看出,各频点实测频率与信号源标称频率的偏差均在0.1 MHz以内,表明平台在各频点下频率测量准确,采样与数字化过程未出现频率偏移或误折叠。其中2 400 MHz频点的实测频率为1 650.13 MHz,这是由于该信号位于第二奈奎斯特区,经4.050 Gps采样后混叠至第一奈奎斯特区内(4 050-2 400=1 650 MHz),与理论计算一致。

在第一奈奎斯特区内的3个频点(500 MHz、1 GHz、1.5 GHz),SNR保持在50.00~51.93 dB范围内,SINAD为49.75~51.83 dB,对应ENOB为7.97~8.32 bit。由于时钟抖动引起的SNR退化与输入信号频率成正比,随着输入频率升高,时钟抖动与采样保持电路模拟带宽对动态性能的制约将逐渐加剧。实测中,ENOB从500 MHz频点的8.32 bit至1.5 GHz频点降至7.97 bit,输入频率增大3倍而退化仅约0.35 bit,SNR、SINAD与ENOB在3个频点间保持稳定,表明时钟综合模块的低抖动输出在高采样率条件下有效维持了ADC的动态性能,平台在第一奈奎斯特区内具有良好的动态性能一致性。NSD方面,3个频点的实测值分别为-152.76、-151.34和-152.34 dBFS/Hz,频点间波动不超过1.5 dB,表明平台在第一奈奎斯特区内的单位带宽底噪水平稳定且一致,这从侧面印证了电源模块LDO低噪声供电与时钟综合模块低抖动输出在板级环境中的实际效果。SFDR方面,500 MHz和1 GHz频点分别为75.72 dBc和74.60 dBc,1.5 GHz频点降至62.86 dBc,高频端杂散抑制能力有所下降,整体仍满足宽带频谱感知对杂散抑制的需求。该现象主要源于射频巴伦变压器在逐步接近其工作频率上限时插入损耗增大、输出差分信号的相位和幅度不平衡度增加、线性度下降。同时ADC内部采样保持电路在高频输入下的非线性效应也稍有加剧。上述结果表明,平台在DC~2.025 GHz瞬时带宽内可提供接近8.3 bit的有效量化精度与优于-151 dBFS/Hz的噪声谱密度,能够为频谱认知应用中的信号检测、调制识别与参数估计等任务提供高质量的数字化信号基础。

在2 400 MHz频点下,SNR降至32.89 dB,SINAD为30.83 dB,对应ENOB为4.83 bit,SFDR为41.85 dBc,NSD为-135.58 dBFS/Hz,相比第一奈奎斯特区内各频点均出现退化。原因是多方面的:该信号工作于第二奈奎斯特区,采样保持电路模拟带宽限制、时钟抖动敏感度增大及巴伦变压器高频特性退化等因素导致ADC动态性能下降;同时,受限于测试条件,该频点未配置匹配的低通滤波器,信号源谐波未经抑制即进入ADC,与其自身非线性失真叠加,进一步恶化了实测结果。因此,平台在第二奈奎斯特区的实际动态性能应优于上述测试值。尽管如此,该频点NSD实测为-135.58 dBFS/Hz,仍可为2.4 GHz ISM频段内WiFi、蓝牙等密集信号的频谱态势感知与信号分类提供基本的接收支撑。

### 3.3 动态范围与灵敏度

在4个测试频点下,逐步降低信号源输出功率,记录各功率水平下FFT频谱中信号峰值与底噪的差值,确定最小可检测信号电平;逐步增大输入功率至ADC饱和,确定最大不失真输入电平。测试结果如表5所示。

表5 动态范围与灵敏度测试结果  
Table 5 Dynamic range and sensitivity test results

测试指标	测试频点			
	500 MHz	1 GHz	1.5 GHz	2.4 GHz
MDS/dBm	-72.4	-72.4	-70.1	-69.7
最大不失真输入/dBm	2.3	2.3	0.9	0.2
系统动态范围/dB	74.7	74.7	71	69.9

由表5可知,在第一奈奎斯特区内的3个频点上,最大不失真输入电平为0.9~2.3 dBm,MDS为-72.4~-70.1 dBm,系统动态范围为71.0~74.7 dB,各频点间波动在4 dB以内,表明平台在第一奈奎斯特区内具备稳定的动态范围表现,也从功率维度反映出板级电源管理与射频通路设计的一致性。2 400 MHz频点的系统动态范围为69.9 dB,受第二奈奎斯特区工作条件及未配置低通滤波器的影响有

所收缩,但仍保持近70 dB的可用动态范围。上述结果表明,平台在DC~2.025 GHz频段内可提供超过71 dB的系统动态范围,能够兼容频谱认知应用中强弱信号共存的典型场景,为后续信号检测、分选与识别算法提供充足的功率维度裕量。

综合上述测试结果,平台在工作频率范围、ADC动态性能以及动态范围与灵敏度这3个维度上均表现出良好的射频接收能力。平台最大接收频率可达4 GHz,覆盖VHF/UHF至S波段;第一奈奎斯特区内各项动态性能指标在频点间保持良好的一致性,噪声谱密度处于较优水平;系统动态范围可兼容强弱信号共存的复杂电磁环境。上述特性表明,该平台能够为频谱认知应用中的宽带信号检测、调制识别、参数估计及频谱态势感知等任务提供可靠的射频信号数字化基础。

## 4 结束语

本文面向频谱认知智能应用需求,基于XCZU27DR RFSoc芯片设计并实现了一种将高速AD/DA转换器、FPGA可编程逻辑、多核ARM处理器及配套外围模块整合于150 mm×100 mm单板的高集成度软件无线电宽带接收平台,并以IEEE Std 1241标准为指导,在500 MHz、1 GHz、1.5 GHz和2.4 GHz这4个频点上对平台射频接收性能进行了系统性板级实测。实测结果表明,平台最大接收频率可达4 GHz;在第一奈奎斯特区内实现了2.025 GHz瞬时带宽,有效位数为7.97~8.32 bit,噪声谱密度优于-151 dBFS/Hz,系统动态范围达71.0~74.7 dB,各项指标在频点间保持良好一致性,为频谱认知算法的运行提供了高质量的物理层保障。结合软件无线电开放式架构与FPGA可编程特性,该平台可灵活适配频谱监测、电子侦察及认知接入等多种应用场景。后续将在此基础上部署调制识别、参数估计和信号分选等算法,进一步验证其在复杂电磁环境下的频谱认知能力。

## 参考文献:

- [1] 林云. 电磁频谱泛在感知与精准管控导读[J]. 无线电通信技术, 2023, 49(2): 201-202.  
LIN Yun. Guide to electromagnetic spectrum ubiquitous sensing and precise control[J]. Radio Communications Technology, 2023, 49(2): 201-202.
- [2] 吴启晖, 任敬. 电磁频谱空间认知新范式: 频谱态势[J]. 南京航空航天大学学报, 2016, 48(5): 625-632.  
WU Qihui, REN Jing. New paradigm of electromagnetic spectrum space: Spectrum situation[J]. Journal of Nanjing University of Aeronautics & Astronautics, 2016, 48(5): 625-632.
- [3] 董超, 经宇骞, 屈毓麟, 等. 面向低空智联网频谱认知与决策的云边端融合体系架构[J]. 通信学报, 2023, 44(11): 1-12.  
DONG Chao, JING Yuqian, QU Yuben, et al. Cloud-edge-device fusion architecture oriented to spectrum cognition and decision in low altitude intelligence network[J]. Journal on Communications, 2023, 44(11): 1-12.
- [4] 王金龙, 徐煜华, 陈瑾. 无线通信网络智能频谱协同与对抗[J]. 中国科学: 信息科学, 2020, 50(11): 1767-1780.  
WANG Jinlong, XU Yuhua, CHEN Jin. Intelligent spectrum collaboration and confrontation in wireless communication networks[J]. Scientia Sinica (Informationis), 2020, 50(11): 1767-1780.
- [5] 阮天宸, 吴启晖, 赵世瑾, 等. 认知学习: 电磁频谱空间机器学习新范式[J]. 电子学报, 2023, 51(6): 1430-1442.  
RUAN Tianchen, WU Qihui, ZHAO Shijin, et al. Cognitive learning: A new paradigm for machine learning in electromagnetic spectrum environment[J]. Acta Electronica Sinica, 2023, 51(6): 1430-1442.
- [6] 张思成, 张建廷, 杨研蝶, 等. 电磁频谱人工智能模型的对抗安全威胁综述[J]. 无线电通信技术, 2024, 50(1): 1-13.  
ZHANG Sicheng, ZHANG Jianting, YANG Yandie, et al. Review of adversarial security threats to electromagnetic spectrum artificial intelligence models[J]. Radio Communications Technology, 2024, 50(1): 1-13.
- [7] 刘帆, 马丁友, 张奇勋, 等. 多模态融合的智能通信与感知一体化综述[J]. 移动通信, 2025, 49(12): 49-62.  
LIU Fan, MA Dingyou, ZHANG Qixun, et al. A survey on multimodal integrated sensing and communication technologies[J].

Mobile Communications, 2025, 49(12): 49-62.

- [8] 周福辉, 张子彤, 丁锐, 等. 电磁频谱空间射频机器学习及其应用综述[J]. 数据采集与处理, 2022, 37(6): 1179-1197.  
ZHOU Fuhui, ZHANG Zitong, DING Rui, et al. Survey on theory and applications of radio frequency machine learning for electromagnetic spectrum space[J]. Journal of Data Acquisition and Processing, 2022, 37(6): 1179-1197.
- [9] 吴启晖, 邱俊飞, 丁国如. 面向频谱大数据处理的机器学习方法[J]. 数据采集与处理, 2015, 30(4): 703-713.  
WU Qihui, QIU Junfei, DING Guoru. Machine learning methods for big spectrum data processing[J]. Journal of Data Acquisition and Processing, 2015, 30(4): 703-713.
- [10] 沈锋, 丁国如, 李婕, 等. 电磁频谱多维态势压缩测绘技术研究进展[J]. 通信学报, 2023, 44(11): 25-42.  
SHEN Feng, DING Guoru, LI Jie, et al. Research progress on electromagnetic spectrum multidimensional situation compressed mapping technology[J]. Journal on Communications, 2023, 44(11): 25-42.
- [11] 王圆春, 肖东, 林云. 电磁频谱数据的关联规则挖掘[J]. 电波科学学报, 2022, 37(5): 802-809, 836.  
WANG Yuanchun, XIAO Dong, LIN Yun. Mining association rules for electromagnetic spectrum data[J]. Chinese Journal of Radio Science, 2022, 37(5): 802-809, 836.
- [12] CHENG P, CHEN Z, DING M, et al. Spectrum intelligent radio: Technology, development, and future trends[J]. IEEE Communications Magazine, 2020, 58(1): 12-18.
- [13] RAJENDRAN S, CALVO-PALOMINO R, FUCHS M, et al. Electrosense: Open and big spectrum data[J]. IEEE Communications Magazine, 2018, 56(1): 210-217.
- [14] O'SHEA T J, ROY T, CLANCY T C. Over-the-air deep learning based radio signal classification[J]. IEEE Journal of Selected Topics in Signal Processing, 2018, 12(1): 168-179.
- [15] 杨宵, 姚爱琴, 石喜玲. 基于TCN的USRP调制信号识别算法[J]. 数据采集与处理, 2025, 40(6): 1527-1537.  
YANG Xiao, YAO Aiqin, SHI Xiling. A TCN-based modulation signal recognition algorithm for USRP[J]. Journal of Data Acquisition and Processing, 2025, 40(6): 1527-1537.
- [16] THAMEUR H B, DAYOUB I, HAMOUDA W. USRP RIO-based testbed for real-time blind digital modulation recognition in MIMO systems[J]. IEEE Communications Letters, 2022, 26(10): 2500-2504.
- [17] MANCO J, DAYOUB I, NAFKHA A, et al. Spectrum sensing using software defined radio for cognitive radio networks: A survey[J]. IEEE Access, 2022, 10: 131887-131908.
- [18] AKEELA R, DEZFOULI B. Software-defined radios: Architecture, state-of-the-art, and challenges[J]. Computer Communications, 2018, 128: 106-125.
- [19] FARLEY B, ERDMANN C, VAZ B, et al. A programmable RFSoc in 16 nm FinFET technology for wideband communications[C]//Proceedings of 2017 IEEE Asian Solid-State Circuits Conference (A-SSCC). [S.l.]: IEEE, 2017.
- [20] GOLDSMITH J, RAMSAY C, NORTHCOTE D, et al. Control and visualisation of a software defined radio system on the Xilinx RFSoc platform using the PYNQ framework[J]. IEEE Access, 2020, 8: 129012-129031.
- [21] BROWN L J, CROCKETT L H, STEWART R W. A single-chip Split-6 PHY implementation for 5G NR, using RFSoc and PYNQ[J]. Franklin Open, 2025, 13: 100408.
- [22] KIM D, KANG H, SON Y, et al. Commercial RFSoc-based wideband MIMO-FMCW radar design with effective pre-distortion[C]//Proceedings of 2022 IEEE Radar Conference (RadarConf22). [S.l.]: IEEE, 2022.
- [23] NAVARRINI A, MELIS A, COMORETTO G, et al. Architecture of C-band phased array feed with RFSoc digital beamformer[C]//Proceedings of 2022 3rd URSI Atlantic and Asia Pacific Radio Science Meeting (AT-AP-RASC). New York, USA: IEEE, 2022: 1-3.
- [24] CHEN Z, ZHANG C, RUAN S, et al. Ultra wide-band polyphase channelized spectrum sensing system design based on RFSoc[C]//Proceedings of 2025 IEEE 8th Information Technology and Mechatronics Engineering Conference (ITOEC). [S.l.]: IEEE, 2025.
- [25] KOVACS G, NELEGA R, OPREA A, et al. Design, implementation, and RFSoc-based validation of a multi-path RF front-end for wideband spectrum analysis[J]. Results in Engineering, 2025, 28: 106967.

- [26] TYAGI K, RAZAVI B. Performance bounds of ADC-based receivers due to clock jitter[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2023, 70(5): 1749-1753.
- [27] ARTUC K, DE LERA ACEDO E. The spectrometer development of CosmoCube, lunar orbiting satellite to detect 21-cm hydrogen signal from cosmic dark ages[J]. RAS Techniques and Instruments, 2025, 4: rzae061.
- [28] IEEE. IEEE standard for terminology and test methods for analog-to-digital converters: IEEE Std 1241-2010[S]. New York, USA: IEEE, 2011: 1-139.
- [29] Xilinx. Understanding key parameters for RF-sampling data converters white paper (WP509)[EB/OL]. (2019-02-20)[2026-02-01]. <https://docs.amd.com/v/u/en-US/wp509-rfsampling-data-converterse>.

## 作者简介:



徐建祥(1999-),男,工程师,研究方向:电磁频谱感知与认知处理、射频与数字化硬件系统设计、电子侦察与信号处理, E-mail: xujianxiang@nssc.ac.cn。



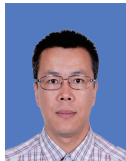
胡继英(2000-),男,博士研究生,研究方向:电磁频谱认知与信号处理、雷达信号分选、空间综合电子。



周莉(1986-),女,副研究员,研究方向:卫星综合电子、星载高速数据处理、星上智能信息处理。



朱岩(1973-),男,研究员,研究方向:空间智能信息和数据处理技术、空间数据处理与传输、空间综合电子。



黄永辉(1974-),男,研究员,研究方向:电磁频谱认知、航天器测控、通信与数据传输关键技术。



王晋阳(1998-),通信作者,男,博士研究生,研究方向:数字信号处理、航天器测控通信与数据传输, E-mail: wangjinyang21@mails.ucas.ac.cn。

(编辑:王静)