

文章编号:1004-9037(2012)05-0559-06

基于 Nios II 软核的视频解码系统优化设计

付 扬

(北京工商大学计算机与信息工程学院,北京,100048)

摘要:研究了基于嵌入式 Nios II 软核的 MPEG-4 视频解码系统的设计优化,以期提高便携式多媒体播放器视频解码的综合性能。提出了在可编程片上系统(System on a programmable chip, SOPC)中软硬件协同设计方案,通过研究二维离散余弦逆变换、运动补偿、颜色空间转换的硬件 IP 核优化设计与实现,构建基于 Nios II 软核软硬件协同设计的视频解码系统。以 Altera 型号 EP2C35F672C8 的 FPGA 为核心的 SOPC 系统测试结果表明,该系统在运行频率仅为 100 MHz 下,测试码流的码率为 1 593.90 kb/s 时,帧率可以达到 35.20 f/s,实现了 MPEG-4 的实时解码,从而使该 SOPC 软硬件协同设计实现了播放器的低功耗等高性能。

关键词:视频解码;可编程片上系统;现场可编程门阵列;Nios II 软核

中图分类号:TP302

文献标识码:A

Optimal Design of Video Decoding System Based on Nios II Soft-Core

Fu Yang

(Computer and Information Engineering Institute, Beijing Technology and Business University,
Beijing, 100048, China)

Abstract: To improve the comprehensive performance of portable media player video decoding, the optimal design of MPEG-4 video decoding system based on embedded Nios II soft-core is studied. And the design scheme of software and hardware co-design in system on a programmable chip (SOPC) is also proposed. By studying hardware intellectual property (IP) core design optimization and implementation of the two-dimensional inverse discrete cosine transform (2D IDCT), the motion compensation, and the color space conversion, a video decoding system in hardware and software co-design is built based on Nios II soft-core. After SOPC system test using the model EP2C35F672C8 of Altera FPGA chip as its core, results show that the bit rate of test stream is 1 593.90 kb/s, and the frame rate can reach 35.20 f/s with the operating frequency only 100 MHz. Therefore, the system achieve a real-time decoding of MPEG-4. The SOPC software and hardware co-design realizes the player with low power consumption and high performance.

Key words: video decoding; system on a programmable chip (SOPC); field programmable gate array (FPGA); Nios II soft-core

引 言

MP4 等便携式产品是近年来出现的一种以数字音视频压缩算法为基础的音视频播放器,目前这类产品已经成为数码消费电子的热点,倍受广大消费者的青睐。在手持多媒体设备中,视频解码器的

主流设计方案包括两种:软件处理方案和硬件处理方案。软件处理方案相对于硬件处理方案设计较容易实现,开发周期短,比较方便地修改和加入新的功能,但是数据处理速度较慢、功耗较大。硬件处理方案数据处理速度快、功耗低,但设计复杂,开发周期长,成本高,并且结构不灵活,维护升级困难。针对 MPEG-4 视频解码器,综合软件方案和硬件方

方案的优点,研究基于SOPC 技术软硬件协同的解决方案,同时兼顾解码速度、功耗、灵活性、成本以及开发周期的要求。

可编程片上系统 SOPC 将尽可能大而完整的电子系统在一块 FPGA 中实现,将 FPGA 中融入更多模块,特别是软核微处理器等,设计出可灵活裁减、扩充、可升级的嵌入式处理系统。SOPC 技术主要包括软硬件协同设计、IP 复用等技术。本文针对 MPEG-4 视频解码器,研究基于 SOPC 视频解码的软硬件协同设计和 IP 核优化设计技术,通过对视频解码的软硬件划分,研究二维离散余弦逆变换、运动补偿、颜色空间转换 IP 核的优化设计与实现,设计基于 Nios II 软核的软硬件协同设计的优化视频解码系统^[1]。

1 基于 Nios II 软核的视频解码系统

以 Altera 公司 Cyclone II EP2C35F672C8 FPGA 为核心芯片,采用 Nios II 嵌入式软核微处理器,构建软硬件协同设计视频解码系统模型。Nios II 是基于哈佛结构的 RISC 通用嵌入式处理器软

核,能与用户逻辑相结合,编程至 Altera 的 FPGA 中。本设计 Nios II 采用 fast 内核,并设置 Instruction Cache 为 4 KB, Data Cache 为 2 KB, JTAG module 为 level 1。

本文选择了视频解码系统中二维离散余弦逆变换 (Two-dimensional inverse discrete cosine transform, 2D IDCT)、运动补偿 (Motion compensation, MC) 和 YUV 到 RGB 的颜色空间转换 (YUV2RGB) 3 部分进行优化的 IP 核设计,以实现视频解码系统的硬件加速,主要考虑了以下 3 个原因:首先是这 3 个部分占用了大量的 CPU 时间,如果用硬件加速,将大大提高整个解码系统的处理速度;其次是 3 个模块功能相对独立,与其余模块之间没有太复杂的数据交互,便于硬件设计与实现;最后是 3 个模块都属于计算密集型模块,没有太复杂的状态判断、跳转等难于用硬件实现的情况^[2]。构建的视频解码系统结构如图 1 所示。

该视频解码系统模型在结构上进行了优化,高速设备直接连接到 Avalon 总线上,将低速外设通过流水线桥接模块 (Pipeline bridge) 同步化以后桥

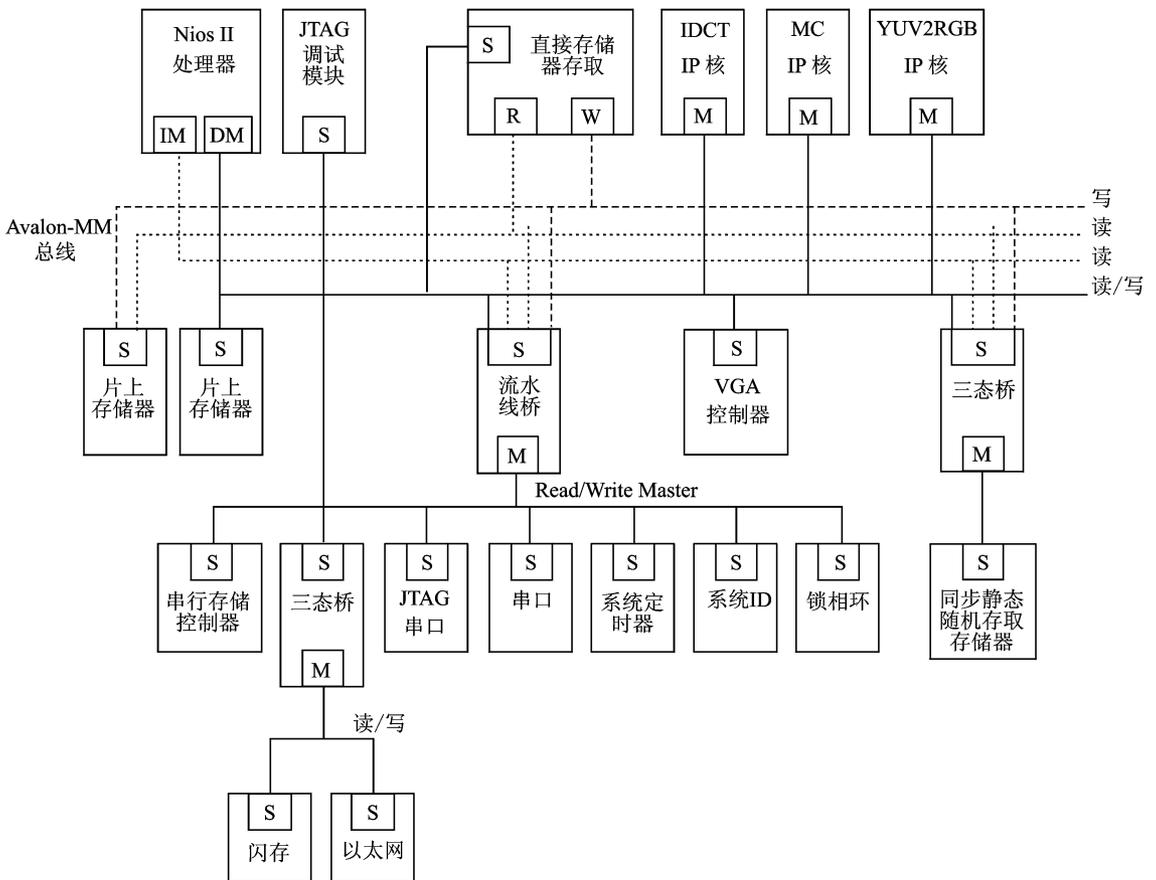


图 1 视频解码系统结构图

连到Avalon总线上,而不是直接与总线相连。这种结构的好处是大大提升了系统的数据处理能力,不会因为总线上的设备过多,使设备平均获得的总线带宽过低,而降低系统的处理能力。视频解码系统中IDCT,MC,颜色空间转换YUV2RGB模块这几部分的IP核以Avalon-MM接口形式直接连接到总线上,这样可以使自定义IP核获得较多的总线带宽,提高IP核的数据吞吐能力。

结构图中的M和S分别表示主设备接口和从设备接口,主设备向Avalon总线发起读写请求,从设备对总线经过仲裁后分配的请求进行响应。系统中视频加速IP核的设计符合Avalon-MM总线接口标准,连接Avalon总线后可使用,并且每个IP核内部均实现了控制寄存器、状态寄存器。软件通过改写IP控制寄存器的控制字来实现对IP核的完全控制,通过访问状态寄存器来查询IP当前的运行状态。

2 系统中优化的IP核设计

设计使用Verilog HDL语言进行硬件设计,在Modelsim下实现仿真验证,以FPGA Cyclone II EP2C35F672C8为目标芯片,实现综合编译测试。在SOPC Builder下导入各模块HDL文件,设置总线参数和选择连接方式,以构建成IP核^[3]。

2.1 二维IDCT分布式算法IP核

DCT可以去除数据之间的相关性,能够聚集图像中的能量,使数据便于压缩,它是目前大多数图像和视频编解码标准的核心。在MPEG4视频解码系统中,使用 8×8 的2D IDCT对数据进行还原,由于 8×8 的2D IDCT运算量较大,直接影响到图像和视频解码系统的实时性。因此在视频解码系统的设计中,如何设计2D IDCT硬件加速IP核至关重要。

为适合硬件实现,先利用2D IDCT的行列分解特性,将其变为两个1D IDCT变换,先对所有行进行1D IDCT变换,再对所有列进行1D IDCT变换,最终得到的就是2D IDCT变换的结果。这种分解带来的好处是多方面的:首先它减小了运算量,并降低了实现的复杂度;其次它使得运算具有规律性,有助于软硬件实现;最后硬件实现时,可以复用同一个1D IDCT核,节省了硬件资源的消耗。二维IDCT硬件结构图如图2所示,利用2D IDCT的行列分解特性,使用一个1D IDCT核、 8×8 转置RAM和复用器等模块来构成2D IDCT硬件系统。图中的串并转换Buffer,每收到8个数据后将其作为一行数据同时输出,该模块还是输入数据的缓存模块,并串转换

Buffer功能与此模块类似。转置RAM用来完成 8×8 数据的行列转换,按行输入按列输出。1D IDCT模块为整个IP的核心,用来计算8点1D IDCT的值。控制器负责整个IP核的工作时序,保证其运行无误。工作时先按行顺序读入数据,然后由1D IDCT计算每行8点的逆变换值,再按行顺序写入转置RAM。然后控制器切换复用器,按列顺序从转置RAM中读出数据,计算每列IDCT值后按列顺序写入输出缓存,最后按行顺序读出最终结果。

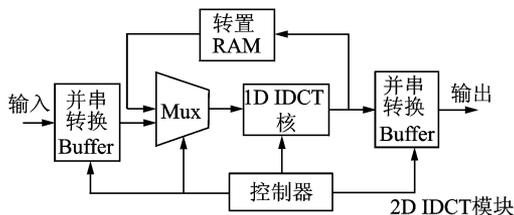


图2 2D IDCT 结构框图

可见实现2D IDCT硬件的关键是实现1D IDCT。对于1D DCT/IDCT运算,已经有很多快速算法,如Chen, Wang, Lee, Loeffler算法等^[4],这些快速算法多用于1D DCT/IDCT的软件实现,不适合用于硬件实现。主要是因为这些算法不利于硬件的并行执行,而且需要使用较大的乘法器,乘法器占用硬件资源较多,且处理速度慢。本文设计在用Chen算法^[4]简化方程的基础上,1D IDCT硬件设计采用分布式算法(Distributed arithmetic, DA)实现乘法,并设计偏移二进制编码(Offset binary code, OBC)来减小其查找表(Look up table, LUT)大小。DA算法是将输入的数据通过矢量内积计算所产生的所有结果都存储在里面,这样当要用到其中某个点乘的结果时,就可以通过查找LUT得到想要的结果,这不仅改进了传统串行算法计算过程繁琐、计算量大、硬件电路复杂的缺点,还使系统性能大大提高,运行速率加快。

1D IDCT的硬件结构如图3所示,其核心是4

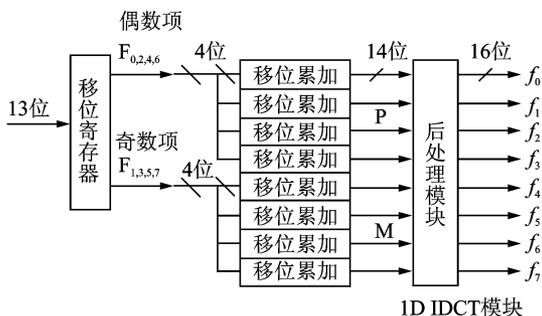


图3 1D IDCT 模块硬件结构

输入的移位累加模块,移位累加模块可以计算一个乘积和,后处理模块通过方程的计算,其输出为最终 8 点 1D IDCT 的结果。在设计移位累加器时,要注意初始值的设置。在视频解码系统中,对 IDCT 输出数据的准确性较敏感,对数据的舍入要求较高。因此本设计考虑了输出数据的舍入问题,对输出数据采用四舍五入,将累加器的初始值加上 4 096,右移 13 次后将输出结果补偿 0.5。1D IDCT 模块的输入数据精度为 13 位,输出为 16 位。其中移位寄存器输入为 13 位,输出为 8 位。为防止数据溢出,移位累加器的输出为 14 位,而非 13 位。经过后处理模块将结果扩展为 16 位后作为最后结果输出^[5]。

进一步设计基于 Avalon 总线标准的接口以及控制寄存器组,形成 2D IDCT IP 核。该 IP 核在 Quartus II 下进行综合测试,综合报告显示,整个 2D IDCT 占用了 4 336 个逻辑单元,核心模块 1D IDCT 只占用了 632 个逻辑单元。8 个查找表模块直接使用了 FPGA 逻辑单元内的查找表 LUT,没有寄存器或内置 RAM。这种查找表模块的实现方式简单灵活,并且芯片访问速度快。2D IDCT IP 核的最高可综合工作频率为 140.39 MHz。

2.2 运动补偿 IP 核

在编码过程中,运动估计找出当前宏块在参考帧中最佳的匹配位置,使得残差帧最小,然后将该差值以及指向参考帧中最佳匹配位置的运动矢量做进一步数据压缩处理。如果最佳匹配位置是与在当前块偏离整数个像素的位置,则直接将该位置的宏块作为预测帧即可,但实际上在半像素精度的区域中进行运动估计可以找到更好的匹配。整像素点的像素值在参考帧中是实际存在的,而半像素点的像素值并不存在,因此需要使用插值计算得到。

图 4 显示了半像素插值的位置关系,图中 A, B, C, D 为整像素点; b, c, d 为半像素点。像素 b 和 c 是对两个相邻像素点进行线性内插得到的,像素点 d 是通过周围 4 个整像素点进行内插得到的。半像素插值可分为 3 种模式:水平半像素插值(h)、垂

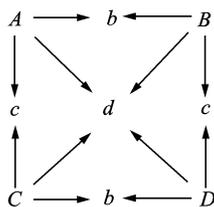


图 4 半像素插值位置关系图

直半像素插值(v)和中心半像素插值(hv)。计算公式如下

$$b = (A + B + 1 - \text{rounding}) / 2$$

$$c = (A + C + 1 - \text{rounding}) / 2$$

$$d = (A + B + C + D + 2 - \text{rounding}) / 4$$

式中 rounding 为舍入参数。半像素精度的运动估计和运动补偿要比整像素运动估计和运动补偿计算量大,但性能要好于后者,压缩率更高。

运动补偿需要根据之前已解码出的参考帧来计算插值像素,再根据运动矢量重构当前的预测帧。因此运动补偿模块按功能可以划分为 6 个子模块,运动补偿 IP 核结构框图如图 5 所示。

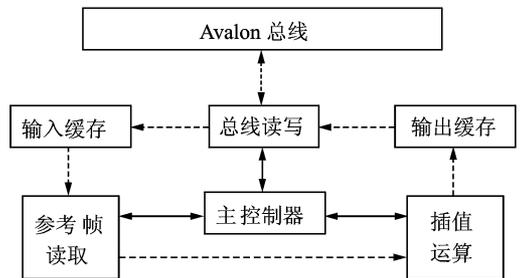


图 5 运动补偿 IP 核结构框图

图 5 中虚线为数据流向,实线为控制信号流向。总线数据读写模块负责对总线进行读写,将所需数据读入后写入输入缓存,或将输出缓存的数据写回总线。参考帧读取模块根据插值模式,读取输入缓存中的指定数据,然后送入插值运算模块进行半像素插值计算。计算完成后,插值运算模块将运算结果写入输出缓存,总线读写模块在将结果写回 Avalon 总线。主控制器模块按照图 4 中虚线的数据流向,对另外 3 个模块进行调度,保证 3 个模块的工作时序正确,相互不发生冲突。

一个宏块总共包含 6 个 8×8 的子块,运动补偿模块每次对一个 8×8 的子块进行操作,重复操作 6 次即可完成对一个宏块的处理。进行半像素插值运算时,如果只读入 8×8 的参考像素是不够的,当匹配参考像素块超出 8×8 像素的边界时,由于没有边界外的像素值,插值就无法计算了。因此,每次处理一个 8×8 的子块时,根据运动矢量读取 9×9 的参考像素块,然后再进行插值运算^[6]。综合测试表明,该运动补偿模块占用了 2 855 个逻辑单元,占芯片资源 9%,综合频率达到 119.49 MHz。

2.3 颜色空间转换 IP 核

一帧图像的像素值在帧存中有多种组织形式,按颜色空间可以分为 RGB 型和 YUV(YCbCr)型。按采样比可分为 $4:4:4$, $4:2:2$ 和 $4:2:0$ 等。

按像素分量的组织方式,又可分为平面型和数据包型。不同格式的像素位数也可能不同,一般的视频应用中,如RGB24 格式用8 位表示一个像素分量,每个像素24 位。常用的数据格式有以下几种:RGB24, RGB565, YV12, I420 等。YV12 与 I420 格式均为 YUV 型颜色空间的平面存储格式,采样比为 4 : 2 : 0,即每4 个Y 分量共享一个Cb 分量和Cr 分量,每个分量8 位,平均每像素用12 bit 表示。两种格式的区别是Cb, Cr 两分量的存放顺序不一样。

MPEG4 编解码系统使用的是 YUV 颜色空间模型,解码系统重构完数据是 YUV 颜色型,因此为了最终能在仅支持 RGB 型的显示设备上播放,需要进行颜色空间转换,将 YUV 颜色空间转换为 RGB 颜色空间。本文设计的解码系统支持 I420 格式,测试所用的显示器支持 RGB565 格式,设计 IP 核来完成 I420 到 RGB565 格式的转换。

要完成这两种格式的转换,需要经过两个步骤,先要将采样比由 4 : 2 : 0 补全为 4 : 4 : 4,即每个像素点包含独立的 Y, Cb, Cr 三个分量,然后在进行从 YUV 到 RGB 的颜色空间转换。RGB 和 YUV 两种颜色模型之间的转换可按如下方法计算^[7]

$$R = 1.164 \times (Y - 16) + 1.569 \times (V - 128)$$

$$G = 1.164 \times (Y - 16) - 0.813 \times (V - 128) - 0.391 \times (U - 128)$$

$$B = 1.164 \times (Y - 16) + 2.018 \times (U - 128)$$

RGB24 和 I420 转换公式需要浮点运算,硬件描述语言无法直接处理浮点数,因此设计中将原公式系数放大 2ⁿ 倍后进行处理,然后再缩小相应的倍数。颜色空间转换模块接口时序如图 6 所示。当 iDVAL 信号有效时,表示输入数据 Y, Cb, Cr 有效,模块处理完后, oDVAL 信号有效,此时输出数据 Red, Green, Blue 有效。

颜色空间转换 IP 核使用 Avalon 总线主设备接口,访问片外存储器。主接口能主动发起传输信号,从接口对传输信号进行响应,数据传输过程的建立

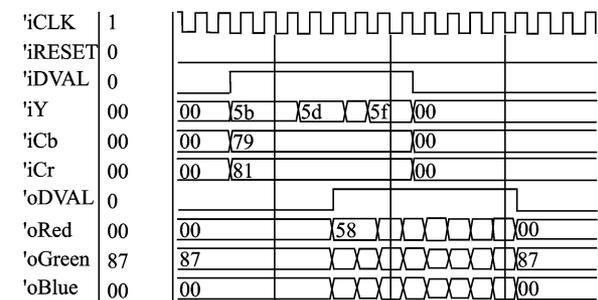


图6 颜色空间转换模块接口时序

由 Avalon 总线结构进行仲裁。为了提高视频图像的显示刷新速度,使用定长突发传输模式读取视频数据,并需要对 Avalon 总线主动发起读操作信号,因此使用 Avalon 主设备接口。当 IP 核工作时,主控制器向总线读取模块传入地址和读入字节数目等参数后启动该模块,该模块对总线发起数据读取操作。由于外部存储器中视频数据为 I420 格式,即采样比为 4 : 2 : 0,因此每读取一行视频数据,要读取两次 Y 分量,一次 Cb, Cr 分量,这样就完成了采样比 4 : 2 : 0 到 4 : 4 : 4 转化,该模块内部包含一个 FIFO 作为输入缓存,当模块从总线上读取数据后,直接将数据按读入顺序输入 FIFO。读入的数据经 YUV 转 RGB 模块处理后,转为 RGB 格式,直接写入输出 FIFO,由视频输出模块写给 LCD 驱动模块。该 IP 核综合后占用了 2 100 个逻辑单元,最高可综合工作频率为 136.47 MHz。

3 SOPC 系统测试

在 SOPC Builder 下,完整的 SOPC 视频解码系统硬件配置包含了用于视频加速的自行设计的 IP 核,必要的外部设备控制器 IP 核,以及一些调试接口和总线协议转换 IP 等。在 Quartus II 下,对该硬件系统进行编译,综合报告表明,系统占用 EP2C35F672C8 FPGA 芯片 16 096 个逻辑单元,占用总资源的 48%。

对整个系统进行 SOPC 软硬件协同运行测试,移植和修改软件代码 XVID,为硬件加速 IP 核开发相应的驱动程序,使之与硬件加速器协同工作。测试环境是 CPU 为 Fast 型 Nios II 软核处理器,系统工作频率 100 MHz。测试码流是分辨率为 qcif, I420 格式,帧率 25 f/s,压缩方式满足 MPEG-4 SP@L1 档次和级别。选取不同视频序列文件,将纯软件解码和软硬件协同解码分别测试,测试结果见表 1。

根据国际标准:ISO/IEC 14496—2 Information technology—coding of audio-visual objects—Part 2: visual 中对 MPEG4 视频解码器档次和级别的规定,SP 的 L1 级的 MPEG4 视频解码器应对分辨率为 QCIF、帧率为 15 f/s 的测试码流,能够支持最大码率为 64 kb/s^[8]。

从测试结果表明:解码系统不使用任何硬件加速 IP 核的情况下,解码系统对分辨率为 QCIF、帧率为 25 f/s 的测试码流,支持的最大码率为 320 kb/s。对于 25 f/s 的码流,使用 IDCT 硬件加速后,能支持的最大码率提高到了 534 kb/s 左右。使用颜色空间转换 IP 核以后,提高到了 1 Mb/s 左右。

表 1 测试结果

测试码流名称及图示	总帧数	平均长度/ (B · f ⁻¹)	25 f/s时的码率/ (kb · s ⁻¹)	测试达到的帧率 / (f · s ⁻¹)				
				码率 / (kb · s ⁻¹)				
				不用硬件加速	IDCT加速	运动补偿加速	颜色转换加速	同时使用3种硬件
	382	1 642	320.70	24.96	28.28	25.78	43.99	58.45
320.19				362.78	330.71	564.31	749.80	
	300	1 658	323.83	23.71	27.44	24.42	40.52	54.52
307.12				355.43	316.32	524.86	706.20	
	376	2 736	534.38	21.45	25.00	22.38	34.29	47.30
458.49				534.28	478.37	732.95	1 011.04	
	300	5 796	1 132.03	17.47	21.51	17.97	25.17	35.20
791.06				974.00	813.70	1 139.73	1 593.90	

如果同时 3 个 IP 核,以运动剧烈、细节丰富的 Mobile 视频序列可以看到,测试码流的码率为 1 593.90 kb/s,帧率达到了 35.20 f/s,很好地实现了 MPEG-4 的实时解码。

4 结束语

本文设计实现了基于嵌入式 Nios II 软核的软硬件协同设计的优化视频解码系统。通过自行设计优化 IP 核所做的硬件加速,节省了硬件资源,提高了解码速度。系统仅运行在 100 MHz 的频率下,有效地降低了系统功耗,这对电能有限的便携式产品有着重大意义,并且与同类型设计相比,该系统在支持码流的帧率上达到了很高水平^[9]。

该设计实现在单芯片 FPGA 上,体积小、可靠性高,软硬件协同的设计方法很好地兼顾了解码速度、功耗、灵活性、成本以及开发周期的要求。FPGA 技术的快速发展将促使嵌入式 CPU 性能的进一步提升和成本下降,同时由于 SOPC 的 IP 核复用技术,该设计在多媒体产品中必将具有广阔的应用前景。

参考文献:

- [1] 彭澄廉,周博,邱卫东,等. 挑战 SOC——基于 NIOS 的 SOPC 设计与实践[M]. 北京:清华大学出版社, 2004:4-64.
Peng Chenglian, Zhou Bo, Qiu Weidong, et al. Challenge SOC—the SOPC design and practice based on NIOS[M]. Beijing: Tsinghua University Press, 2004:4-64.

- [2] 徐志军,张世伟,徐光辉. 基于 SOPC 系统的 JPEG 解码 IP 核设计[J]. 数据采集与处理,2011,26(4):463-466.
Xu Zhijun, Zhang Shiwei, Xu Guanghui. Design of IP core for JPEG decoding based on SOPC[J]. Journal of Data Acquisition and Processing, 2011,26(4):463-466.
- [3] 孙威,刘学斌,胡炳棵,等. 基于 FPGA 的 Ultra DMA 数据记录系统[J]. 数据采集与处理,2009,24(10):328-331.
Sun Wei, Liu Xuebin, Hu Bingke, et al. Ultra DMA data recording system based on FPGA[J]. Journal of Data Acquisition and Processing, 2009,24(10):328-331.
- [4] Chen W H. A fast computational algorithm for the discrete cosine transforms [J]. IEEE Transactions on Communications, 1977, 25 (9): 1004-1009.
- [5] 纪秀花,张彩明,韩慧健. 用查表法快速实现二维 8×8 离散余弦逆变换的研究[J]. 电子学报,2008,36(4):639-645.
Ji Xiuhua, Zhang Caiming, Han Huijian. A fast 2D 8×8 IDCT algorithm based on look-up table[J]. Journal of Electronics, 2008,36(4):639-645.
- [6] Tang Guowei, Gu Guochang. Multi-resolution motion estimation and compensation based on adjacent prediction of frame difference in wavelet domain [J]. Journal of Electronics, 2009(3):412-416.
- [7] Iain E G R. 视频编解码器的设计——开发图像与视频压缩系统[M]. 长沙:国防科技大学出版社, 2005:11-17.
Iain E G R. Video code design—developing image and video compression system[M]. Changsha: National University of Defense Technology Press, 2005:11-17.
- [8] IEEE. ISO/IEC 14496-2—2004 (E), International standard second edition information technology-coding of audio-visual objects-part 2: visual [S]. Third Edition. Switzerland: IEEE Inc,2004.
- [9] 刘振彪,肖国强,武兵. 基于 PowerPC 的嵌入式 MPEG4 视频解码器的设计与实现[J]. 计算机工程与设计,2008,29(6):1384-1386.
Liu Zhenbiao, Xiao Guoqiang, Wu Bing. Design and implementation of embedded MPEG4 video decoder based on power PC processor[J]. Computer Engineering and Design, 2008,29(6):1384-1386.

作者简介:付扬(1962-),女,副教授,研究方向:嵌入式片上系统设计及多媒体信息处理,E-mail:fsfy988@126.com。