

基于FPGA + SD3.0协议存储速率优化设计

许璐, 刘正军, 陈一铭

(中国测绘科学研究院航测所, 北京 100036)

摘要:为解决现有存储方案无法满足在特定功能需求下存储速度与设备体积双重要求的问题,本文设计一种基于现场可编程逻辑门阵列(Field programmable gate array, FPGA)控制的SD3.0版本TF卡控制器,旨在占用最小体积的同时实现更高速的数据存储。通过自行设计的小型数据采集卡,将24 bit位宽的数据经过DDR3、FIFO、RAM、两级缓存最终存入TF卡中。分别从硬件、软件两方面介绍了方案的设计,其中硬件部分主要包括电路工艺、采集卡指标与板级信号完整性验证;软件方面主要包括存储流程、RTL级验证与TF卡测试方案。实验结果表明,本文设计的PCB电路可提供SD3.0协议所需的电压转换和数据存储功能,并且板卡功能稳定,集成度较高,部分TF卡测试的速度超过60 MB/s,长时间测试性能稳定,具有良好的通用性,满足设计要求,为小型化存储实验提供了解决方案。

关键词: 现场可编程逻辑门阵列;SD3.0;信号完整性;二级缓存;系统稳定性

中图分类号: TN492 **文献标志码:** A

Storage Rate Optimization Design Based on FPGA+SD3.0 Protocol

XU Lu, LIU Zhengjun, CHEN Yiming

(School of Aerial Survey, Chinese Academy of Surveying and Mapping, Beijing 100036, China)

Abstract: The storage solutions in the market cannot meet the requirements for storage speed and device volume with specific functional requirements. So, we design a SD3.0 version TF card controller based on field programmable gate array (FPGA) control, aiming to achieve higher-speed data storage while occupying the smallest volume. Through a self-designed small data acquisition card, the 24-bit-wide data are finally stored into the TF card through DDR3, FIFO, RAM, and two-level buffer. This paper introduces the scheme design from two aspects of hardware and software. The former mainly includes the circuit technology, acquisition card index and board-level signal integrity verification; the latter mainly includes the storage process, RTL-level verification and the TF card test. Experimental results show that the proposed PCB circuit can provide the voltage conversion and data storage functions required by SD3.0 protocol, and the board has stable functions and high integration. The speed of TF cards exceeds 60 MB/s with a long time. It has stable performance and good versatility. The experiment meets the design requirements, and it can also provide a solution for miniaturized storage experiments.

Key words: filed programmable gate array(FPGA); SD3.0; signal integrity; two-level buffer; system stability

基金项目: 中国测绘科学研究院基本科研业务费(AR1920);国家重点研发计划(2018YFB0504504);国家自然科学基金重点项目(41730107)。

收稿日期: 2021-03-23; **修订日期:** 2022-07-13

引言

SD(Secure digital)卡是一种基于flash闪存的高速存储设备,因其记忆容量高、传输速率快、移动灵活性强和安全系数高等优点被广泛应用于音乐、摄影等数字媒体领域。但随着数字媒体领域的快速发展,无论是对音乐还是图像传感器的采样频率、分辨率等指标都有了更高的要求,这也对SD卡的存储容量和存储速度等性能参数带来了新挑战^[1-2]。

SD卡的存储主要通过控制器实现,目前对于SD卡控制器的研究已经取得了一些成果。文献[3]采用基于ARM处理器的方案,通过Linux系统成熟的AMBA总线模式实现了SD3.0控制器的设计,但受限于ARM芯片的串行化操作流程,实际的存储速度很低;文献[4]采用STM32微控制器实现SD卡的存储,但试验中选择的是SPI总线模式,这种模式实现方便但存储效率过低,只适合做指令的验证,无法应用于实际的数据存储中;文献[5]采用Altera NIOS II软核操作SD卡控制器,实现了现场可编程逻辑门阵列(Field programmable gate array, FPGA)设计的SD控制器的SPI(1 bit)模式,存储效率同样不高;文献[6]设计和实现了FPGA原型验证平台内部存储系统DDR3控制器及外部存储系统SD卡控制器,并结合工程应用设计了针对验证平台存储系统的测试方案,但SD卡采用的是2.0版本协议,理论上的最高存储速度只有25 MB/s,而实际应用中会更低,无法满足数据的高速存储需要;文献[7]设计了一种基于SD3.0协议的分布式RTL级控制器,采用8路TF卡存储阵列,但此方案存在各个存储介质间的协同性工作问题,并且占用面积很大,不适合小型化的数据存储方案。考虑到以上方案的不足,结合本实验的需求,本文设计一种基于FPGA芯片的SD(TF)卡控制器,通过SD3.0协议的4bit传输模式,对单TF卡实现扇区写数据操作,旨在占用最小体积的同时,通过提高数据的存储效率,实现更快的数据存储速度。

1 方案选择

在芯片的选择上,FPGA作为一种可反复擦写的编程芯片,相比其他可编程芯片,其内部资源丰富、开发成本低、灵活性高、设计周期更短。本实验采用Xilinx公司的Artix-7系列芯片,该系列芯片在单个成本中提供了最高性能的功耗比结构、收发器线速、DSP处理能力以及AMS集成,可充分满足对SD卡控制器的设计资源需求^[8-9]。存储协议的选择上,本实验采用可行性更高的SD3.0协议作为SD卡的存储协议。该协议通过串行指令的发送—响应模式,实现对SD卡的初始化操作,指令结构相对简单,操作便捷,并且理论存储速度可达104 MB/s^[1],适合自主性设计,满足存储速度要求。缓存设备的选择上,通过DDR3+RAM+FIFO内外存储资源相结合的方式将24 bit位宽数据转换成4 bit位宽数据存入TF卡中。DDR3作为外部缓存设备对写入的数据进行暂存,弥补FPGA芯片内部存储空间不足的缺陷。FIFO与RAM相结合,实现数据位宽的转换、跨时钟域的处理与数据的发送前准备工作。本实验的系统结构如图1所示。

2 硬件及RTL级设计

2.1 硬件电路功能设计

为保证功能的需要,数据采集卡通过对电路需求的分析、设计、焊接、调试等过程实现。板卡具有一个9~24 V直流输入接口,2个12 V直流输出,总功

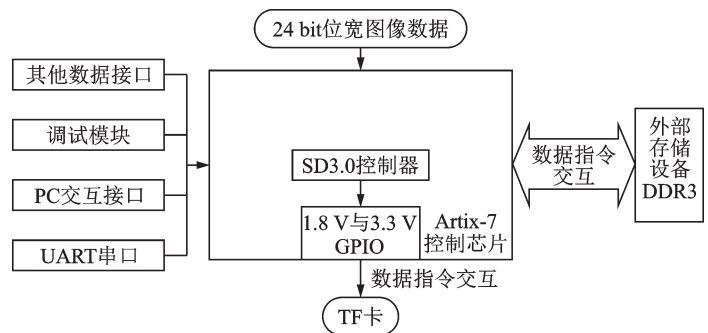


图1 系统结构图

Fig.1 System structure diagram

率 12 W, 各有一个 LED 指示灯; 5 V 和 3.3 V 电源状态指示灯各一个, 电线接地端(GND)测试点若干。采用现有成熟的沉金工艺, 板卡抗氧化性好、寿命长、导电性好。4 层 PCB 板的设计, 彼此间通过通孔、埋孔、盲孔互联, 可灵活设计, 提供了更大的布线空间, 最重要的是在高频电路中满足对于电磁屏蔽的需求, 提升了电路整体的稳定性与性能。由于 SD3.0 协议频率最高可达 208 MHz, 所以 TF 卡的走线需布线等长, 保持一致, 且与 FPGA 芯片间的距离不能过大。

数据采集卡的硬件实物图如图 2 所示。板卡由 ARM+FPGA 双芯片控制, FPGA 负责大规模数据的存储, ARM 负责其他指令的控制, 本文实验不涉及 ARM 芯片的控制内容。在 FPGA 芯片周围有很多扩展接口与 LED 灯, 支持与其他设备的互联和电路状态的显示。其中 J2:MDR26 接口负责与 Camera Link 接口的前端采集设备相连, 将采集到的数据与控制信号经过解码芯片的译码直接发送给 FPGA; J3、J4、J10 为双芯片的外接串口, 用于控制板与上位机、传感器之间的数据通信; 实验数据通过 FPGA 芯片控制存储在 J8A 中, 该部分数据存储量大、存储速度要求高, 采用基于 SD3.0 协议的双电压 SD 卡座。该卡座与 FPGA 芯片相连, 芯片提供 3.3 V 与 1.8 V 双电压引脚, 二者并联。初始化过程中根据实际需要屏蔽低电平引脚, 收到 CMD11 指令之后选中低电平引脚, 屏蔽高电平引脚最终实现 TF 卡引脚电平的切换过程。之所以要进行电平切换, 主要是需要电路实现电荷的快速充放, 提高高频模式下的传输速度; J11 为 FPGA 程序的下载接口, 负责与 PC 相连, 用于程序更新; J1A 与 J1B 负责提供 9~24 V 的电压, 为整个板卡供电, 并保持电压稳定。

芯片内部采用 FPGA 自带的时钟管理单元混合模式时钟管理器(Mixed-mode clock manager, MMCM)、MIG7 控制器、RAM IP 核、FIFO IP 核与 LUT 资源等实现指令交互与数据传输功能。指令流程状态机负责 TF 卡不同模式下指令的收发和条件的判断, 数据流程状态机负责对 FIFO 和 CRC16 校验模块进行控制, 控制数据流的输入和 CRC 校验的开始与停止。并且内部使用异步存储器实现设计, 这主要是考虑到时钟频率的改变以及跨时钟域的时序约束问题^[10-11]。

FPGA 芯片外接 100 MHz 晶振为整个芯片提供时钟。输入的 100 MHz 时钟送入芯片内部, 通过 MMCM 的倍频与分频操作, 输出 200、20 和 166.667 MHz 的 3 路时钟^[12], 200 MHz 时钟通过一个分频计数器再输出一个不到 400 kHz 的时钟。这 4 路时钟用于 TF 卡模式转换、数据发送、DDR3 输入和参考时钟, 构成芯片内部时钟树。

2.2 SD3.0 协议简介

SD3.0 协议支持两种电压的工作模式, 具体如表 1 所示。实验中采用理想速度最快的 SDR104 模式实现 TF 卡的数据写入, 此时的卡也必须支持引脚电压的转换。

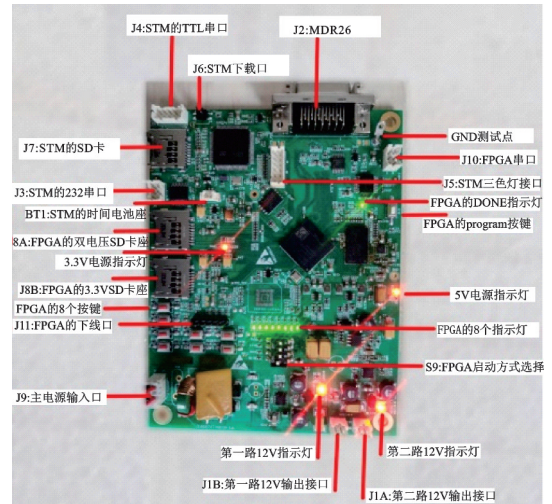


图 2 数据采集卡实物图

Fig.2 Physical image of data acquisition card

表 1 SD3.0 模式参数指标

Table 1 Parameter index of SD3.0 mode

模式	电压/ V	理想速率/ (MB·s ⁻¹)	最高频率/ MHz
默认速率	3.3	12.5	25
高速率	3.3	25	50
SDR12	3.3+1.8	12.5	25
SDR25	3.3+1.8	25	50
SDR50	3.3+1.8	50	100
DDR50	3.3+1.8	50	100
SDR104	3.3+1.8	104	208

SD3.0协议由空闲状态、卡识别模式和数据传输模式3部分组成。发送CMD8指令询问TF卡支持的电压是否满足要求;收到CMD11指令后进行电压切换;CMD6负责TF卡的模式转换;功能切换正确后,强制要求发送CMD19指令进行时钟调制,保证在高频状态下时钟的稳定性。发送CMD25指令进入数据传输模式,实现TF卡的连续写操作;写结束后发送CMD12指令对卡缓冲区内的数据进行编程。

对于发送指令和数据的时钟而言,在电压转换之前,时钟为100~400 kHz,电压转换之后进入SDR12模式进行传输,最高频率为25 MHz,当接收到CMD6指令的返回值8个时钟周期之后,TF卡即可进入高速模式(SDR104),最高频率可用为208 MHz,本实验中采用200 MHz。

2.3 SD3.0协议的RTL实现

现有的方案中,由需要电压转换而带来控制电路的特殊性,使得选择FPGA实现SD3.0的方案较少,大部分的方案或基于SD2.0协议^[13-14],或选择串行外设接口(Serial peripheral interface, SPI)模式^[15]实现数据的存储。这种方案的理论存储速度不仅很低,只有25 MB/s,实际应用中,存储效率也只有SD模式的25%,远远达不到快速数据存储的使用要求。文献^[16]中,作者选择SD3.0模式设计了一种基于FPGA的SD卡控制器,通过多次的读写测试,采用顶层模块设计与相位调整的方法,设计出了一款读写速度约为35 MB/s的SD3.0控制器。虽然与理想速度104 MB/s仍存在较大差距,但此方案为实现更快速度的SD3.0控制器方案提供了事实依据。

实验中发现,当一边发送数据一边进行CRC16校验计算时,得到的校验结果与正确值存在一个时钟周期的偏移,这使得当数据发送完毕后CRC16的正确校验值还未计算完成。为解决这一问题,提高数据的传输效率与准确性。本文提出如下3种方案:

(1)采用先计算CRC校验值后发送数据的方式,可以保证数据发送的准确性。但此方案会使TF卡总线利用率大大降低。先计算一遍校验值再发送数据相当于对本组数据进行了两次串行处理,导致总线利用率不超过50%,在实际测试过程中传输速率结果大约30 MB/s,与文献^[16]结果相差不大。

(2)数据的校验计算先于发送的数据,即CRC16计算比发送数据至少优先一个时钟周期,实现过程中需要准备两组相同的缓存资源,一组用来优先进行校验计算,另一组延后至少一个周期进行数据的发送,确保数据发送完毕时校验结果也能正确完成。这种方法相对于上一种总线利用率大幅增加,数据的传输速率也大幅上升,不到50 MB/s。

(3)如图3所示,将FIFO输出的数据先分为相同的两路,一路输入到一级缓存的同时另一路同步进行CRC16校验,这样可以保证CRC校验得到的结果与一级缓存中的待发送数据保持匹配。将数据与

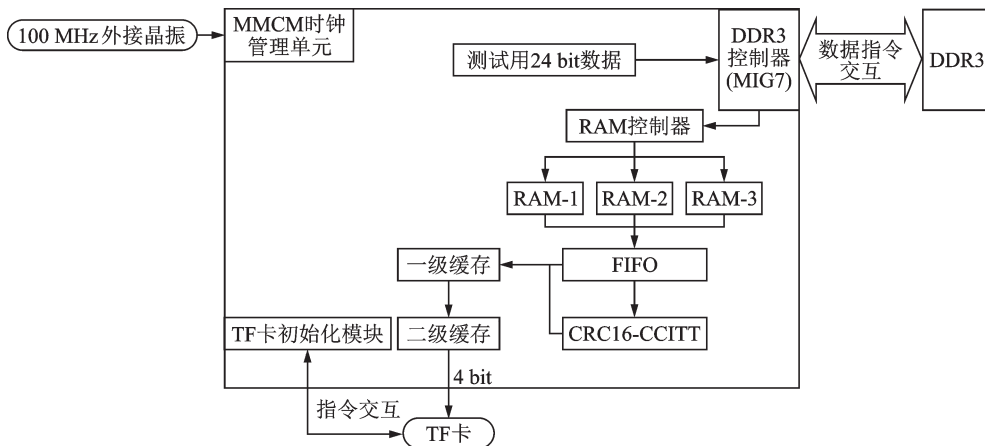


图3 方案3存储流程示意图

Fig.3 Schematic diagram of storage process of Scheme 3

CRC 校验结果拼接后并行送入二级缓存,这种并行的处理方法虽然会占用很大的总线带宽但只占用一个时钟周期,提高了电路的执行速度。在数据由二级缓存发送给 TF 卡的过程中一级缓存又可同时进行数据流输入与 CRC 校验操作,将串行处理的过程同步进行。若 TF 卡正确的返回一个正脉冲“010”,则证明发送数据准确,一级缓存中的数据将继续送入二级缓存当中,循环往复。此方案不仅提高了总线利用率,而且当数据发送错误时也可重新发送,使传输链路更加可靠。

图 4 为 TF 卡返回正确响应的示意图,图中红圈为 TF 卡的响应信号(一位起始位“0”,正脉冲“010”。一位终止位“1”)。当 TF 卡返回此信号后,证明数据被正确写入 TF 卡缓冲区,等待编程。

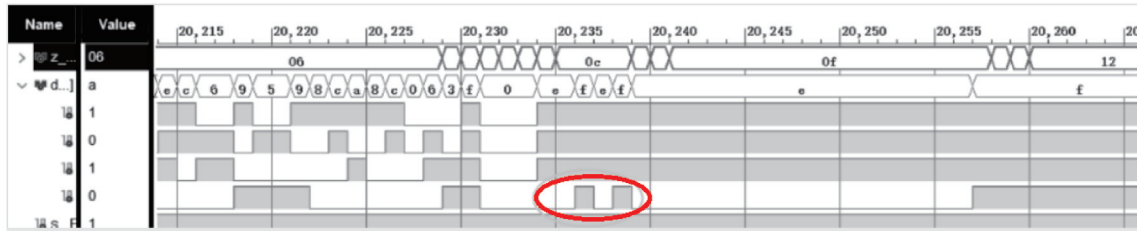


图 4 TF 卡响应信号

Fig.4 TF card response signal

3 系统测试与结果分析

3.1 采集卡指标分析

现有的图像采集卡产品已十分成熟,性能稳定,具有一定的通用性。但部分采集卡的体积过大,集成度不高,无法满足小型存储方案的设计要求,也无法满足特定的功能需求。为此,本文选择自行设计采集卡实现小型化存储方案,部分图像采集卡的参数见表 2。表 2 中,SD 采集卡采用的是 SDHC 接口,虽然体积较小,但存储容量不高,存储速度低,无法作为数据的高速存储方案;采用 Camera Link/HD-MI+PCI-e 的图像采集卡需要外接存储设备,集成度较低,实际应用起来占用体积较大,不利于实现小型化存储;本文设计的采集卡,将支持 SD3.0 协议的小型 TF 卡存储介质集成于板卡上,TF 卡尺寸规格为 15 mm×11 mm×1 mm,远小于市场上主流的存储设备。使用此方案不仅提高了采集卡整体的集成度,板卡具有丰富接口的同时,面积只有差不多手掌大小,可实现占用较小体积下数据的高速存储功能,是一种高集成度的应用方案。

表 2 采集卡参数

Table 2 Acquisition card parameters

采集卡参数	本文采集卡	HV503D 采集卡 + SD 采集卡	Imperx Camera Link 采集卡
接口	Camera Link+SDXC+UART	GPIO+SDHC	Camera Link/HDMI+PCI-e
体积/(mm×mm×mm)	105×73×12	38×38×20	118×34×21
理论速度/(MB·s ⁻¹)	104	25	320
支持模式/bit	8/10/12/16	8/14	8/10/12/16
存储支持/GB	2 048	32	>500

3.2 硬件系统可靠性分析

PCB 信号完整性主要包括阻抗不匹配引起的信号过冲、不同网络之间耦合引起的信号串扰和传输通道损耗引起的信号边沿退化等,会造成电路的功能错误,产生电磁兼容问题。为保证板卡硬件设计

性能稳定、板级辐射发射不超标,本文使用Mentor Graphics公司的EDA软件HyperLynx对电路做板级信号完整性仿真分析。

3.2.1 信号过冲测试

信号电平发生跳变后,第一个峰值电压或谷值电压超过预设值,叫做信号过冲,由信号过冲引起的振铃效应会产生严重电磁干扰(Electro-magnetic interference, EMI)。产生过冲的主要原因是传输线阻抗不匹配造成信号多级反射的叠加。为避免由信号过冲带来电压波动,产生对信号阈值的误判,本文通过过冲仿真,优化布线阻抗和端接阻抗等方法,最小化振铃效应,减小PCB的辐射发射,改善电路板的电磁兼容特性。

如图5(a)所示,信号有轻微过冲,经电路原理图分析,发现是端接阻抗不匹配而引起的振铃效应,这可能会导致元器件多次判断峰值电压与谷值电压,得到错误的逻辑结果,或使得保护二极管工作于不正常的状态,影响电路整体功能的实现。为改善信号振铃,实验中在TF卡存储网络首末两端各加入 $50\ \Omega$ 电阻实现端接阻抗匹配,由此得到图5(b)所示效果。从图中可以看出,振铃效应得到了明显改善,无多峰值或谷值的情况出现,保证了电路信号的稳定性与阈值判别结果的准确性。

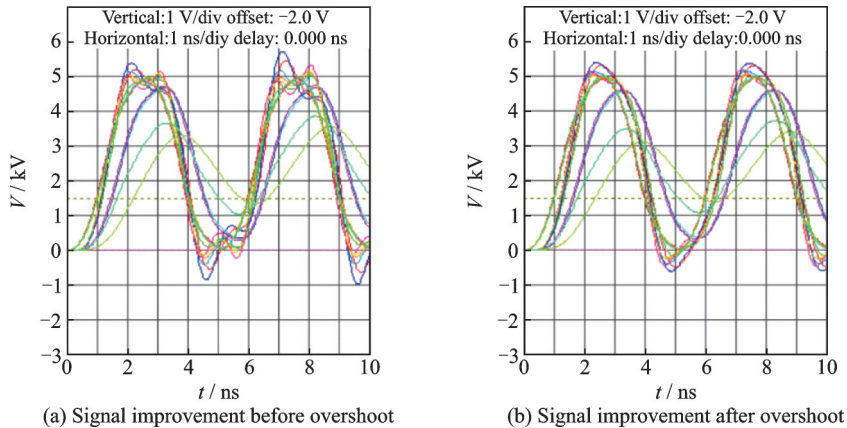


图5 信号过冲验证结果

Fig.5 Signal overshoot verification results

3.2.2 信号串扰测试

串扰是多个不同网络间的相互干扰,其机理是传输线之间的容性和感性耦合。容性耦合产生耦合电流,而感性耦合引发耦合电压,PCB板层的参数、信号线间距、驱动端和接收端的电气特性及线端接方式对串扰都有一定的影响。实验中设定软件串扰门限(逻辑高电平的5%左右)后,添加攻击网络,对TF卡存储进行网络攻击得到如图6所示的测试结果,图中所示信号没有产生明显的扭曲变形,证明在TF卡存储的网络中,布线间距合理,高速信号线间距离适中,没有发生明显的电压、电流耦合现象,电路性能可靠。

若实验中产生了严重的信号串扰,导致信号波形产生了严重形变,可以采用增加信号间的间距、降低耦合长度、降低路径特性阻抗和增加短路过孔的防护布线等优化方式。

3.2.3 辐射仿真

电磁兼容(Electro-magnetic compatibility, EMC)仿真提供了一个可添加单一驱动输出网络的辐射状况,模拟天线的辐射发射场。

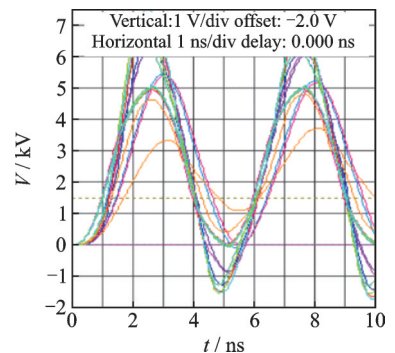


图6 串扰测试结果

Fig.6 Crosstalk test results

实验中设置天线距离PCB长度3 m,得到DATA0网络的辐射仿真结果如图7所示。本实验中选择的200 MHz频率上受辐射较小,证明PCB设计在200 MHz频率上可提供较强的抗辐射性。

3.3 软件测试结果分析

实验采用Xilinx公司商用EDA工具Vivado 2018.3,PC与FPGA芯片通过QSPI模式互联对软件IP核集成逻辑分析仪(Integrated logic analyzer, ILA)进行观察,分析其波形与实验结果。

3.3.1 存储速度分析

将测试用数据写入扇区,持续5 min。通过Winhex软件观察,记录写入数据的最后一个扇区,与起始扇区之差为写入的总扇区数,通过此方法计算硬件测试写入平均速度。通过DiskMark软件测试TF卡的写入速度记为软件测试平均写入速度。选用不同品牌的TF卡,测试其写入数据的性能,帮助验证TF卡控制器的设计方案是否具有广泛适用性,能否满足实际需求,具体测试结果见表3。

表3分别记录了不同品牌、不同容量TF卡的软测和硬件的平均写入速度。通过实验分析发现,实际的存储速率与理想存储速率104 MB/s仍有很大差距。通过观察软件IP核ILA看出,数据的写入状态满足CMD25指令的连续写要求,但写入一定的数据量之后,TF卡会处于一个相对长时间的“BUSY”状态,即data0总线上返回大量周期的低电平,如图8红圈部分所示。这是一个不可避免的过程,由TF卡的写入机制可知,写入的数据暂存在TF卡缓冲区当中,等到缓冲区写满才会一次性写入扇区中,在这个阶段中,数据将无法写入TF卡,所以实际的存储速率与理论值仍有一定差距。

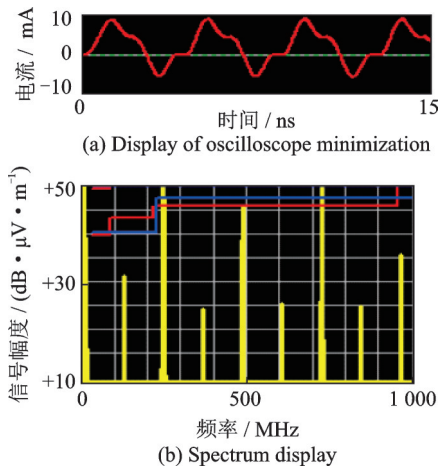


图7 DATA0网络的辐射仿真测试结果
Fig.7 Radiation simulation test results of DATA0 network

表3 写入速度记录表

Table 3 Writing speed record table

TF卡品牌	卡容量/ GB	软件测试写入 平均速度/(MB·s ⁻¹)	硬件测试写入 平均速度/(MB·s ⁻¹)
Kingston	128	57.4	64.7
Biaze	64	59.3	53.6
aigo	128	55.5	56.4
Netac	64	59.0	61.7
EAGET	64	54.7	50.2

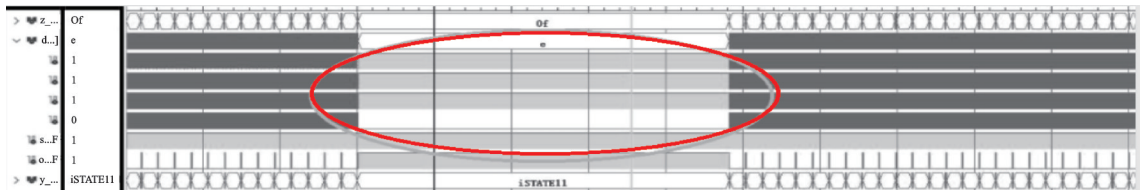


图8 TF卡BUSY状态示意图

Fig.8 Schematic diagram of BUSY state in TF card

分析软件与硬件的平均测试速度发现,硬件测试得到的平均写入速度大体上要略高于软件测试的平均写入速度,说明通过直接写扇区的操作能够更大限度地提升TF卡的写入效率,提高写入数据速度;并且部分TF卡的写入速度可超过60 MB/s,远高于已有的一些SD卡控制器的设计方案。

3.3.2 数据可靠性分析

测试用数据由24位宽加法器组成,由FPGA计数实现。第一个数据是24位“0x000001”,最后一个数据是24位“0x00003ff”,一组数据由1024组16进制数据构成。通过写入已知的实验数据可方便后期验证是否存在混乱、误码与丢失,具体结果如图9所示。每次写完一个循环后,写入一组“0xaabbccdeeff”的数作为帧尾,方便对数据的快速定位与查找。

```

00000000512 00 00 01 00 00 02 00 00 03 00 00 04 00 00 05 00 00000003184 7B 00 03 7C 00 03 7D 00 03 7E 00 03 7F 00 03 80
00000000528 00 06 00 00 07 00 00 08 00 00 09 00 00 0A 00 00 00000003200 00 03 81 00 03 82 00 03 83 00 03 84 00 03 85 00
00000000544 0B 00 00 0C 00 0D 00 00 0E 00 00 0F 00 00 10 00000003216 03 86 00 03 87 00 03 88 00 03 89 00 03 8A 00 03
00000000560 00 00 11 00 00 12 00 00 13 00 00 14 00 00 15 00 00000003232 8B 00 03 8C 00 03 8D 00 03 8E 00 03 8F 00 03 90
00000000576 00 16 00 00 17 00 00 18 00 00 19 00 00 1A 00 00 00000003248 00 03 91 00 03 92 00 03 93 00 03 94 00 03 95 00
00000000592 1B 00 00 1C 00 00 1D 00 00 1E 00 00 1F 00 00 20 00000003264 03 96 00 03 97 00 03 98 00 03 99 00 03 9A 00 03
00000000608 00 26 00 00 27 00 00 28 00 23 00 00 24 00 00 25 00 00000003280 9B 00 03 9C 00 03 9D 00 03 9E 00 03 9F 00 03 A0
00000000624 00 26 00 00 27 00 00 28 00 00 29 00 00 2A 00 00 00000003296 00 03 A1 00 03 A2 00 03 A3 00 03 A4 00 03 A5 00
00000000640 2B 00 00 2C 00 00 2D 00 00 2E 00 00 2F 00 00 30 00000003312 03 A6 00 03 A7 00 03 A8 00 03 A9 00 03 AA 00 03
00000000656 00 00 31 00 00 32 00 00 33 00 00 34 00 00 35 00 00000003328 AB 00 03 AC 00 03 AD 00 03 AE 00 03 AF 00 03 B0
00000000672 00 36 00 00 37 00 00 38 00 00 39 00 00 3A 00 00 00000003344 00 03 B1 00 03 B2 00 03 B3 00 03 B4 00 03 B5 00
00000000688 3B 00 00 3C 00 00 3D 00 00 3E 00 00 3F 00 00 40 00000003360 03 B6 00 03 B7 00 03 B8 00 03 B9 00 03 BA 00 03
00000000704 00 41 00 00 42 00 00 43 00 00 44 00 00 45 00 00000003376 BB 00 03 BC 00 03 BD 00 03 BE 00 03 BF 00 03 C0
00000000720 00 46 00 00 47 00 00 48 00 00 49 00 00 4A 00 00 00000003392 00 03 C1 00 03 C2 00 03 C3 00 03 C4 00 03 C5 00
00000000736 4B 00 00 4C 00 00 4D 00 00 4E 00 00 4F 00 00 50 00000003408 03 C6 00 03 C7 00 03 C8 00 03 C9 00 03 CA 00 03
00000000752 00 51 00 00 52 00 00 53 00 00 54 00 00 55 00 00000003424 CB 00 03 CC 00 03 CD 00 03 CE 00 03 CF 00 03 D0
00000000768 00 56 00 00 57 00 00 58 00 00 59 00 00 5A 00 00 00000003440 00 03 D1 00 03 D2 00 03 D3 00 03 D4 00 03 D5 00
00000000784 5B 00 00 5C 00 00 5D 00 00 5E 00 00 5F 00 00 60 00000003456 03 D6 00 03 D7 00 03 D8 00 03 D9 00 03 DA 00 03
00000000800 00 61 00 00 62 00 00 63 00 00 64 00 00 65 00 00000003472 DB 00 03 DC 00 03 DD 00 03 DE 00 03 DF 00 03 E0
00000000816 00 66 00 00 67 00 00 68 00 00 69 00 00 6A 00 00 00000003488 00 03 E1 00 03 E2 00 03 E3 00 03 E4 00 03 E5 00
00000000832 6B 00 00 6C 00 00 6D 00 00 6E 00 00 6F 00 00 70 00000003504 03 E6 00 03 E7 00 03 E8 00 03 E9 00 03 EA 00 03
00000000848 00 71 00 00 72 00 00 73 00 00 74 00 00 75 00 00000003520 EB 00 03 EC 00 03 ED 00 03 EE 00 03 EF 00 03 F0
00000000864 00 76 00 00 77 00 00 78 00 00 79 00 00 7A 00 00 00000003536 00 03 F1 00 03 F2 00 03 F3 00 03 F4 00 03 F5 00
00000000880 7B 00 00 7C 00 00 7D 00 00 7E 00 00 7F 00 00 80 00000003552 03 F6 00 03 F7 00 03 F8 00 03 F9 00 03 FA 00 03
00000000896 00 81 00 00 82 00 00 83 00 00 84 00 00 85 00 00000003568 FB 00 03 FC 00 03 FD 00 03 FE 00 03 FF AA BB CC
00000000912 00 86 00 00 87 00 00 88 00 00 89 00 00 8A 00 00 00000003584 DD EE FF 00 00 01 00 00 02 00 00 03 00 00 04 00
00000000928 8B 00 00 8C 00 00 8D 00 00 8E 00 00 8F 00 00 90 00000003600 00 05 00 00 06 00 00 07 00 00 08 00 00 09 00 00
00000000944 00 91 00 00 92 00 00 93 00 00 94 00 00 95 00 00000003616 0A 00 00 0B 00 00 0C 00 00 0D 00 00 0E 00 00 0F
00000000960 00 96 00 00 97 00 00 98 00 00 99 00 00 9A 00 00 00000003632 00 10 00 00 11 00 00 12 00 00 13 00 00 14 00
00000000976 9B 00 00 9C 00 00 9D 00 00 9E 00 00 9F 00 00 A0 00000003648 00 15 00 00 16 00 00 17 00 00 18 00 00 19 00 00
00000000992 00 A1 00 00 A2 00 00 A3 00 00 A4 00 00 A5 00 00000003664 1A 00 00 1B 00 00 1C 00 00 1D 00 00 1E 00 00 1F
00000001008 00 A6 00 00 A7 00 00 A8 00 00 A9 00 00 AA 00 00 00000003680 00 20 00 00 21 00 00 22 00 00 23 00 00 24 00
00000001024 AB 00 00 AC 00 00 AD 00 00 AE 00 00 AF 00 00 B0 00000003696 00 25 00 00 26 00 00 27 00 00 28 00 00 29 00 00
00000001040 00 B1 00 00 B2 00 00 B3 00 00 B4 00 00 B5 00 00 00000003712 2A 00 00 2B 00 00 2C 00 00 2D 00 00 2E 00 00 2F
00000003728 00 30 00 00 31 00 00 32 00 00 33 00 00 34 00
00000003744 00 35 00 00 36 00 00 37 00 00 38 00 00 39 00 00

```

图9 测试数据结果

Fig.9 Test data results

图9结果表明,本数据块内数据的写入保持连续,数据块的衔接上也保持连续,与理论分析的结果相同,通过连续10、20、30 min写数据系统测试表明,测试结果与图9所示相同,并且无误码,说明测试得到的数据准确度较高,写入系统性能稳定,具备长时间数据写入能力。

4 结束语

本文采用Xilinx公司的Artix-7系列FPGA与SD协会3.0版本协议实现对SD(TF)卡的数据写入。采用前期PCB设计、电路板制作、FPGA代码编写调试等实现流程。通过设计与实现,得到以下结论:

(1) 通过FPGA芯片实现SD(TF)卡控制器的方案具有一定的可行性,自主设计的采集卡体积小,集成度高,通过PCB的板级信号完整性验证设计得到的控制板性能稳定。

(2) 使用Verilog语言完成SD(TF)卡控制器的RTL实现方案,将24 bit位宽数据经过DDR3、RAM、FIFO、一级缓存等级联存储介质送入二级缓存中与TF卡直接对接,通过数据流程状态机的控制将数据写入TF卡,通过方案对比这一RTL级流程无差错、无数据混乱,并且数据发送速率最快,可靠性最高。

(3) 经过测试,写扇区的方式比写文件速度略快,通过验证不同TF卡的写入速度选择速度合适的TF卡作为存储介质,满足对于写入速度60 MB/s的最低需求,长时间测试性能稳定。

(4) 此TF卡控制器适用于所有支持SD3.0协议的TF卡,具有一定的普适性。

与主流的ARM实现SD(TF)卡控制器方案不同,本实验选择处理速度更快的FPGA作为核心控

制芯片,通过调用其内部丰富的资源与IP核完成灵活的方案设计。该方案更利于模块化的实现,方便后续功能的扩展,提高了系统的集成度,为小型化存储实验提供了有效的解决方案。

参考文献:

- [1] SD Association. SD specifications part1 physical layer simplified specification Ver3.01[EB/OL].(2019-11-28). <http://www.sdcard.org.html>.
- [2] PRASAD S M, ABINAYA E, SOMASUNDARESWARI D. Design of advanced high-performance bus to increase the bit rate of secured digital host controller[J]. *International Journal of Advance Research in Science and Engineering*, 2015(2): 772-776.
- [3] 陈煜. 一种支持SD3.0协议的SD卡控制器实现与验证[D]. 西安:西安电子科技大学, 2017.
CHEN Yu. The design and verification of a SD card controller supporting SD3.0 protocol[D]. Xi'an: Xidian University, 2017.
- [4] 江自强,葛亚炬,张乐年. 基于STM32的数据采集及存储系统设计[J]. *机械制造与自动化*, 2017, 46(4): 136-139.
JIANG Ziqiang, GE Yaju, ZHANG Lenian. Design of data acquisition and storage system based on STM32[J]. *Machinery Manufacturing and Automation*, 2017, 46(4): 136-139.
- [5] 杨福远. 基于FPGA的SD卡控制器的设计和验证[D]. 济南:山东大学, 2014.
YANG Fuyuan. Design and verification of FPGA-based SD card controller[D]. Jinan: Shandong University, 2014.
- [6] 王玉姣. FPGA原型验证平台存储系统的设计与实现[D]. 长沙:国防科学技术大学, 2015.
WANG Yujiao. Design and implementation of FPGA prototype verification platform storage system[D]. Changsha: National University of Defense Technology, 2015.
- [7] 李超,吕晓龙. 基于FPGA的高速图像数据存储系统[J]. *应用科技*, 2015, 42(2): 24-27.
LI Chao, LYU Xiaolong. High-speed image data storage system based on FPGA[J]. *Applied Science and Technology*, 2015, 42(2): 24-27.
- [8] 徐宇,林郁,杨海钢. FPGA双端口存储器映射优化算法[J]. *电子与信息学报*, 2020, 42(10): 2549-2556.
XU Yu, LIN Yu, YANG Haigang. FPGA dual-port memory mapping optimization algorithm[J]. *Journal of Electronics and Information*, 2020, 42(10): 2549-2556.
- [9] Xilinx. All Programmable 7 series product selection guide[EB/OL].(2019-10-18). <http://www.xilinx.com.html>.
- [10] Xilinx. Zynq-7000 Soc and 7 series devices memory interface solutions V4.2 user guide[EB/OL].(2020-05-07). <http://www.xilinx.com.html>.
- [11] Xilinx. Vivado design suite user guide[OL].(2020-06-11). <http://www.xilinx.com.html>.
- [12] Xilinx. 7 Series FPGAs clocking resources user guide[EB/OL].(2020-08-12). <http://www.xilinx.com.html>.
- [13] 李德桥,丁克勤. SD卡控制器的FPGA实现[J]. *仪表技术*, 2010(8): 44-45, 69.
LI Deqiao, DING Keqin. The FPGA implementation of SD card controller[J]. *Instrument Technology*, 2010(8): 44-45, 69.
- [14] 何伟,赵巍,邢岚,等. 基于FPGA的SD卡控制器设计及应用[J]. *世界科技研究与发展*, 2011, 33(4): 578-580, 607.
HE Wei, ZHAO Wei, XING Lan, et al. Design and application of SD card controller based on FPGA[J]. *World Science and Technology Research and Development*, 2011, 33(4): 578-580, 607.
- [15] 唐磊,洪传荣,朱广信,等. 基于FPGA的SD卡控制器设计[J]. *电声技术*, 2011, 35(3): 29-31.
TANG Lei, HONG Chuanrong, ZHU Guangxin, et al. Design of SD card controller based on FPGA[J]. *Electroacoustic Technology*, 2011, 35(3): 29-31.
- [16] 王超. 基于FPGA的Micro SD卡控制器研究[D]. 哈尔滨:哈尔滨工业大学, 2014.
WANG Chao. Research on Micro SD card controller based on FPGA[D]. Harbin: Harbin Institute of Technology, 2014.

作者简介:



许璐(1992-),男,硕士研究生,研究方向:无人机高光谱系统集成与应用, E-mail: 459840470@qq.com。



刘正军(1974-),通信作者,男,博士,研究员,研究方向:机载激光雷达遥感、多传感器融合、高分辨率遥感影像信息提取、电网遥感技术等, E-mail: zjliu@casm.ac.cn。



陈一铭(1989-),男,博士,研究员助理,研究方向:激光雷达遥感技术。