

基于贪婪CORDIC算法的非平稳信道衰落孪生技术研究

赵子坤¹, 毛通宝¹, 吴 挺², 水宜水², 陈小敏¹, 朱秋明¹

(1. 南京航空航天大学电磁频谱空间认知动态系统工业与信息化部重点实验室, 南京 211106; 2. 中国电子科技集团公司第七研究所, 广州 510310)

摘 要: 针对真实通信场景下的信道衰落孪生技术存在硬件成本高、实时性差的问题, 基于贪婪坐标旋转数字计算(Coordinate rotation digital computer, CORDIC)算法及调频谐波叠加模型, 给出了非平稳信道复合衰落序列的硬件模拟方案, 在现场可编程门阵列(Field programmable gate array, FPGA)平台实现了大规模复指数实时计算。通过引入域折叠技术、贪婪角度记录单元和并行流水线结构, 可减少硬件资源的使用, 提高系统的实时性。此外, 采用基于时分复用的多速率分级结构, 进一步优化硬件资源。与传统查找表(Look up table, LUT)方法相比, 本文方案消耗的硬件资源从17.89%减少到6.71%, 与经典CORDIC算法相比, 硬件延迟减少65.625%。硬件实测结果表明, 输出信道统计特性的概率密度函数与理论值一致。

关键词: 非平稳信道; 现场可编程门阵列; 贪婪坐标旋转数字计算; 统计特性

中图分类号: TN98 **文献标志码:** A

Greedy CORDIC Based Non-stationary Channel Fading Twin Technology

ZHAO Zikun¹, MAO Tongbao¹, WU Ting², SHUI Yishui², CHEN Xiaomin¹, ZHU Qiuming¹

(1. Key Laboratory of Dynamic Cognitive System of Electromagnetic Spectrum Space, Ministry of Industry and Information Technology, Nanjing University of Aeronautics & Astronautics, Nanjing 211106, China; 2. The 7th Research Institute of China Electronics Technology Group Corporation, Guangzhou 510310, China)

Abstract: Aiming at the problems of expensive hardware costs and poor real-time performance for the channel fading twin technology in real communication scenarios, based on the greedy coordinate rotation digital computer (CORDIC) algorithm and sum of frequency modulated model, a discrete non-stationary complex fading channel emulation scheme is developed. Furthermore, large scale complex exponential computations are realized in the field programmable gate array (FPGA) hardware platform. By introducing the domain folding technique, the greedy angle recording unit and a full parallel pipeline structure, the hardware resource consumption and real-time performance are significantly improved. In addition, the hardware resource can be further optimized by adopting the compact architecture with time-division and multi-rate scheme. Compared with the traditional look up table (LUT) method, hardware resource consumption is greatly reduced from 17.89% to 6.71%. Meanwhile, the hardware latency is reduced by 65.625% than classic CORDIC algorithm. The hardware measurement results show that the statistical

基金项目: 国家重大科学仪器设备开发专项(61827801)资助项目; 航空科学基金(201901052001)资助项目; 综合业务网理论与关键技术国家重点实验室基金(ISN22-11)资助项目; 中央高校基本科研业务费专项(NS2020026, NS2020063)资助项目。

收稿日期: 2021-03-27; **修订日期:** 2021-04-20

properties of channel output, i. e., the probability density function provides a good agreement to the theoretical ones.

Key words: non-stationary channel; field programmable gate array (FPGA); greedy coordinate rotation digital computer (CORDIC); statistical characteristics

引 言

无线信道作为通信链路的传播载体,利用孪生技术将物理信道的各种属性映射到虚拟空间,近年来被广泛应用于通信链路和网络性能评估^[1]。现有信道孪生技术将物理信道映射成数字信道^[2],主要有两种方法,分别为现场采集和实验室复播方法^[3]与信道建模和实验室模拟复现方法^[4]。然而,现场采集和实验室复播方法硬件资源开销大、应用场景有限,外场测试又存在孪生效率低、成本高的弊端。通过对信道衰落特性的深入了解,在实验室中进行信道建模和模拟复现是一种有效的替代方案,具有低成本、可视化和可控性等优点,并且基于实验室无线模拟平台信道孪生同软件方法相比有更好的实时性,应用较为灵活。目前国内外成熟的商用信道模拟器,通常只适用于传统平稳信道的模拟,不适用于动态场景下非平稳信道的模拟。因此,深入研究非平稳信道衰落的硬件孪生技术对于模拟真实通信场景下的通信链路有重要意义^[5]。

早期研究发现,信号传播过程中的路径损耗可以建模为自由空间模型,由散射支路叠加引起的多径衰落通常可建模为 Nakagami 分布^[6],而由建筑物、山脉等因素导致的阴影衰落通常可建模为正态分布。文献[7-8]基于谐波叠加(Sum of sinusoids, SoS)方法在现场可编程门阵列(Field programmable gate array, FPGA)平台上实现了单输入单输出(Single input single output, SISO)信道模拟器,可实时模拟复现莱斯衰落。然而在实际中,模拟器需要为多个链路生成信道以满足当前或未来通信系统的需求。为了满足多通道的需求,文献[9]给出了一种单输入多输出(Single input multiple output, SIMO)信道模拟器实现方案。上述信道模拟器都是基于广义平稳(Wide sense stationary, WSS)假设条件,而实际通信场景的信道呈现非平稳特性。若采用上述模拟方法,会导致信道衰落输出相位不连续,多普勒频率不准确。为保证相位输出连续,文献[10]采用改进调频叠加(Sum of frequency modulation, SoFM)模型给出了一个 2×2 多输入多输出(Multiple input multiple output, MIMO)信道模拟器的实现方案。此外,与SISO相比,SIMO或MIMO的信道模拟器需要更多硬件成本。因此,硬件资源消耗与系统实时性的权衡成为设计信道仿真器的关键问题,而信道衰落产生的关键就是实现复指数信号的实时计算。

目前,复指数运算最常用的硬件产生方法是查找表(Look up table, LUT)方法。基于LUT方法的 4×4 MIMO信道仿真器,其实时性好,但会消耗大量随机存取存储器(Random access memory, RAM)资源^[11]。坐标旋转数字计算(Coordinate rotation digital computer, CORDIC)是一种低成本硬件算法,可以在不消耗存储资源的情况下实现三角函数、对数函数和先验函数等的实时计算,应用于信号处理、图像处理的奇异值分解等领域^[12-14]。文献[12]通过近似目标角度实现了CORDIC算法,但仍然需要消耗少量的RAM资源。为了进一步提高资源利用率,文献[13]采用异步流水线架构来实现CORDIC算法,但由于迭代次数过多,算法延迟较大。为了减少CORDIC算法不必要的迭代次数,提高系统实时性,文献[14]提出了一种高基CORDIC算法来降低系统延迟,但硬件电路结构比较复杂,不易实现。

为了解决上述问题,本文基于SoFM模型给出了非平稳信道复合衰落序列的模拟方案,基于贪婪CORDIC计算方法在FPGA平台上实现了复指数的实时计算。通过引入域折叠技术、贪婪角度记录单元、并行流水线结构,大大减少硬件资源的使用,提高了系统实时性。同时,基于时分复用多速率分级结构,进一步优化了硬件资源消耗。

1 信道模型

在无线信号的传输过程中,到达接收端的信号通常由多条具有不同时延和到达角度的路径叠加组成,通常包括视距路径和受到反射、折射以及障碍物衍射等影响的非视距路径,每条路径信号的幅度呈现快速起伏的随机衰落。为进一步简化无线信道模型,在不考虑信道噪声的条件下,信道的单位冲激响应可表示为^[15]

$$h(t) = \sum_{n=1}^N \{ \sqrt{\alpha_n(t)} \cdot \sqrt{\beta_n(t)} \cdot \gamma_n(t) \cdot e^{j\phi_n(t)} \delta(t - \tau_n) \} = \sum_{n=1}^N \{ r_n(t) \cdot e^{j\phi_n(t)} \cdot \delta(t - \tau_n) \} \quad (1)$$

式中: N 表示多径数目; $r_n(t)$ 、 τ_n 和 $\phi_n(t)$ 分别表示各条路径的幅值、时延和初始相位; $\alpha_n(t)$ 表示信号传播过程中的路径损耗,通常短时间内保持不变,属于大尺度衰落; $\gamma_n(t)$ 表示不可分辨散射支路叠加形成的多径衰落,属于小尺度衰落,通常可建模为Nakagami分布; $\beta_n(t)$ 表示由建筑物和山脉等因素导致的阴影衰落,通常可建模为对数正态分布^[16]

$$f_{\beta_n}(\beta) = \frac{1}{\sqrt{2\pi} \xi_{n,\beta}} e^{-\frac{(\ln\beta - \alpha_{n,\beta})^2}{2\xi_{n,\beta}^2}} \quad (2)$$

式中: $\xi_{n,\beta}$ 表示阴影衰落的标准偏差,实测数据表明 $\xi_{n,\beta} \in [1.5, 7]$ dB^[17]; $\alpha_{n,\beta}$ 表示阴影衰落的均值,即为传输路径损耗值。

$$f_{\gamma_n}(\gamma) = \frac{2}{\Gamma(m_n)} \left(\frac{m_n}{\beta_n} \right)^{m_n} \gamma^{2m_n-1} e^{-\frac{m_n}{\beta_n} \gamma^2} \quad (3)$$

式中: β_n 表示各簇信号信道衰落的平均功率,即阴影衰落值; m_n 为信道衰落参数,实测数据表明 $m_n \in [0.7, 10]$;信道衰落的恶劣程度可根据 m_n 值来评估,当 $m_n = 1$ 时,式(3)退化为瑞利衰落, $m_n = \infty$ 则代表无衰落。

2 非平稳衰落信道高效硬件模拟实现

2.1 非平稳信道衰落序列随机模拟

由式(1~3)易知,实现非平稳信道衰落序列孪生的关键是产生时变的随机信道衰落 $\beta_n(t)$ 和 $\gamma_n(t)$ 。根据随机变量性质可知,两者均可通过高斯随机过程进行非线性变换得到。其中,阴影衰落过程可建模为

$$\beta_n(t) = e^{\xi_{n,\beta} \sigma_{n,0}(t) + \alpha_{n,\beta}} \quad (4)$$

式中: $\sigma_{n,0}(t)$ 表示均值为0,方差为1的高斯变量, $\alpha_{n,\beta}$ 为阴影衰落均值,多径衰落^[18]可进一步表示为

$$\gamma_n(t) = \sqrt{\beta_n/2m} \cdot \sqrt{\sigma_{n,1}^2(t) + \sigma_{n,2}^2(t) + \dots + \sigma_{n,2m}^2(t)} \quad (5)$$

式中: $\sigma_{n,i}(t)$, $i = 1, 2, \dots, 2m$,与 $\sigma_{n,0}(t)$ 分布相同, m 表示独立高斯变量的个数。基于上述分解思想,非平稳信道衰落序列的随机模拟的关键是产生多组服从均值为0,方差为1的高斯分布随机序列。前期研究表明,常用高斯随机变量的产生模型,只适用于平稳信道衰落序列模拟。然而,实际中大多数场景的信道衰落都呈现非平稳特性,因此,采用改进的调频谐波叠加(Sum of frequency modulation, SoFM)方法^[10]生成高斯随机变量 $\sigma_n(t)$,进一步完善使其便于硬件实现,其离散化模型表示为

$$\sigma_n(t) = \sum_{m=1}^M \frac{1}{\sqrt{M}} \exp \{ j(\varphi_{n,m}(l)) \} = \sum_{m=1}^M \frac{1}{\sqrt{M}} \exp \left\{ j \left(2\pi \sum_{k=0}^l T_s f_{n,m}[k] + \theta_{n,m} \right) \right\} \quad (6)$$

式中: M 表示调频谐波数量; $\varphi_{n,m}$ 、 $f_{n,m}$ 和 $\theta_{n,m}$ 分别表示第 n 条径第 m 条谐波的时变相位,多普勒频率和初

始相位,初始相位服从 $U \sim (0, 2\pi]$ 的均匀分布。为了进一步验证 SoFM 模型输出幅值分布,根据随机信号理论可以证明,第 m 支路复调频信号实部的均值和方差分别为 0 和 $1/2M$,幅值分布^[17]表示为

$$Q_{\sigma_{n,m}^I}(x) = \begin{cases} \frac{\sqrt{M}}{\pi\sqrt{1-Mx^2}} & |x| < \sqrt{\frac{1}{M}} \\ 0 & |x| \geq \sqrt{\frac{1}{M}} \end{cases} \quad (7)$$

根据特征函数相关性质,叠加后随机变量 $\sigma_n^I(t)$ 的特征函数为

$$\Psi_{\sigma_n^I}(s) = \Psi_{\sigma_{n,1}^I}(s) \Psi_{\sigma_{n,2}^I}(s) \cdots \Psi_{\sigma_{n,M}^I}(s) = J_0\left(2\pi\sqrt{\frac{1}{M}}s\right) \quad (8)$$

因此, $\sigma_n^I(t)$ 的幅值分布可表示为

$$Q_{\sigma_n^I}(x) = \int_{-\infty}^{\infty} \Psi_{\sigma_n^I}(v) e^{j2\pi vx} ds = 2 \int_0^{\infty} \left[J_0\left(2\pi\sqrt{\frac{1}{M}}s\right) \right]_{-M} \cos(2\pi sx) ds \quad (9)$$

当散射支路数目 $M \rightarrow \infty$ 时

$$\lim_{M \rightarrow \infty} \tilde{Q}_{\sigma_n^I}(\sigma) = \frac{1}{\sqrt{2\pi}} e^{-\frac{\sigma^2}{2}} \quad (10)$$

因此,调频信号实部叠加输出随机变量 $\sigma_n^I(t)$ 的瞬时幅值分布服从均值为 0,方差为 1 的高斯分布,同理,虚部也服从高斯分布。

基于上述证明,非平稳信号衰落的序列模拟^[19-20]的关键在于产生 SoFM 模型中的大量调频谐波,其中,主要涉及时变相位 $\varphi_{n,m}$ 的复指数的实时计算。目前,在硬件实现中,复指数计算最常用的是 LUT 方法,该方法硬件易于实现且实时性好,但是会消耗大量的 RAM 资源。CORDIC 算法是另一种经典的低硬件成本方法,传统 CORDIC 算法基于迭代思想,占用较少的 RAM 资源,但硬件延迟较高。为了进一步提高硬件实时性,减少硬件资源消耗,需要开发更为高效的复指数计算方法。

2.2 基于贪婪CORDIC的复指数运算

经典CORDIC算法^[21]的核心思想是将所需的角度的集合,通过有限数目的旋转,实现时变相位映射为一组角度集合的线性组合过程。

图1给出了初始二维向量 $A(x_0, y_0)$,将其逆时针旋转角度 θ 后得到 $B(x_1, y_1)$ 的示意图,其变换关系可用矩阵表示为

$$\begin{bmatrix} x_1 \\ y_1 \end{bmatrix} = \begin{bmatrix} \cos\theta & -\sin\theta \\ \sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} \quad (11)$$

进一步提取公因子 $\cos\theta$,可得

$$\begin{bmatrix} x_1 \\ y_1 \end{bmatrix} = \cos\theta \begin{bmatrix} 1 & -\tan\theta \\ \tan\theta & 1 \end{bmatrix} \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} \quad (12)$$

在实际硬件实现中,旋转角度 θ 细化为 P 个固定不变的小角度 θ^i ,实际上,旋转角度正是通过小角度线性组合得到,即 $\theta = \sum_{i=0}^{P-1} \pm \theta^i$ 。再利用 $\tan\theta^i \approx 2^{-i}$ 近似关系,就可以通过简单的移位和加减操作完成三角函数值的计算。

注意到,传统CORDIC算法需要迭代16次^[22],系统整体实时性低,迭代延迟长。为进一步提高算

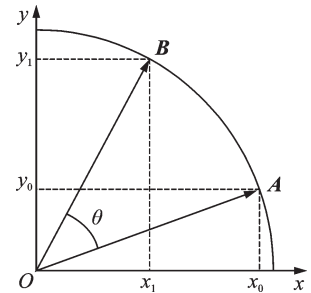


图1 坐标旋转示意图

Fig.1 Coordinate rotation diagram

法的效率,本文基于贪婪计算方法对经典CORDIC算法进行了改进。首先采用角度域折叠技术,缩小目标角度的旋转范围,来降低复指数计算复杂度;其次采用并行流水线的架构,以确保信号在一个时钟周期内有效输出,并结合贪婪算法来优化流水线单元级数,解决多次迭代造成的有效信号延迟过长的问題,以减少不必要的硬件资源消耗。

角度域折叠技术将目标角度的三角函数计算转换到较小的角度范围内进行操作,具体是将直角坐标系中4个象限等分为16个角度域,从而将大角度映射到目标小角度。以 $[0, \pi]$ 内角度域的划分为例,如图2所示,其中第一象限可以等分为4个域,即I域 $[0, \pi/8)$ 、II域 $[\pi/8, \pi/4)$ 、III域 $[\pi/4, 3\pi/8)$ 、IV域 $[3\pi/8, \pi/2)$,每个域的间隔为 $\pi/8$,且目标角度 $\varphi_{n,m}$ 在I域中的映射为 $\varphi \in [0, \pi/8]$ 。

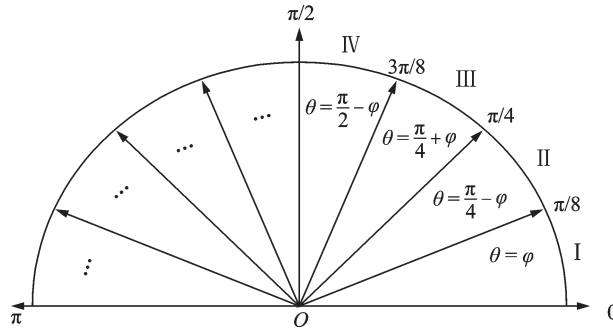


图2 角度域划分及目标角度映射

Fig.2 Angle domain division and target angle mapping relationship

映射关系具体如下:

在I域中

$$\begin{bmatrix} x_1 \\ y_1 \end{bmatrix} = \begin{bmatrix} \cos\varphi & -\sin\varphi \\ \sin\varphi & \cos\varphi \end{bmatrix} \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} \quad (13)$$

在II域中

$$\begin{bmatrix} x_1 \\ y_1 \end{bmatrix} = \frac{\sqrt{2}}{2} \begin{bmatrix} (\cos\varphi + \sin\varphi) & -(\cos\varphi - \sin\varphi) \\ (\cos\varphi - \sin\varphi) & (\cos\varphi + \sin\varphi) \end{bmatrix} \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} \quad (14)$$

在III域中

$$\begin{bmatrix} x_1 \\ y_1 \end{bmatrix} = \frac{\sqrt{2}}{2} \begin{bmatrix} (\cos\varphi - \sin\varphi) & -(\cos\varphi + \sin\varphi) \\ (\cos\varphi + \sin\varphi) & (\cos\varphi - \sin\varphi) \end{bmatrix} \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} \quad (15)$$

在IV域中

$$\begin{bmatrix} x_1 \\ y_1 \end{bmatrix} = \begin{bmatrix} \sin\varphi & -\cos\varphi \\ \cos\varphi & \sin\varphi \end{bmatrix} \begin{bmatrix} x_0 \\ y_0 \end{bmatrix} \quad (16)$$

由于同一坐标系各个象限之间存在角度映射关系,其他象限的角度都可以通过角度映射到第一象限上,进而映射到I域中,实现角度域的折叠。以第一象限为例,在算法层面可以通过图3所示的二进制编码来实现映射角度域划分,其中 $S[i]$ 用来记录不同区间。

为了解决多次迭代造成的信号延迟较长的问题,笔者结合贪婪算法实现对并行流水线结构^[23]的优化。贪婪角度记录算法具体流程如图4所示。在算法初始化阶段,对于 R -bit的定点化位宽,生成一组初始相位集 $\phi(i) = \arctan(2^{-(i+2)})$, $i \in [0, R-1]$, $\phi(i)$ 为迭代次数所对应的角度值, $\theta(m)$ 为迭代过程中的角度最小值且其初始值 $\varphi_{n,m}$ 在I域中的映射为 φ 。采用流水线架构生成输出码 $c_1(i_m)$ 和 $c_2(i_m)$,通过

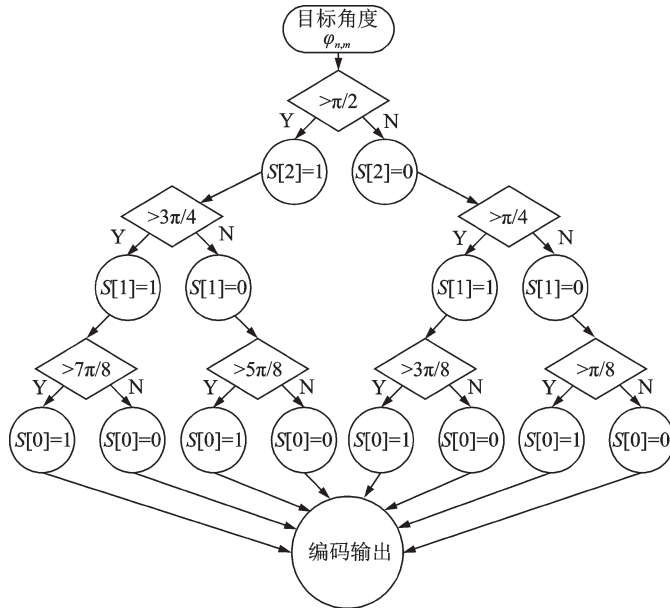


图3 角度域编码

Fig.3 Angle domain coding

它们计算比例因子 K_i 、符号函数 b^i 以及迭代单元移位值 ω^i , 可以有效地减少角度迭代次数, 降低复杂指数计算所需要的硬件资源, 缩短硬件等待时间。

对于硬件实现而言, 在FPGA中每次迭代均使用加法和移位操作来执行, 即

$$\begin{cases} x^{i+1} = x^i - b^i \cdot y^i \cdot 2^{-\omega^i} \\ y^{i+1} = y^i + b^i \cdot x^i \cdot 2^{-\omega^i} \end{cases} \quad (17)$$

式中: b^i 表示函数的符号方向, 值为 ± 1 ; 迭代中移位操作的值 ω^i 由 $c_2(i_m)$ 决定; 为了保证算法精度及防止溢出, 需设置初始值 $x_0 = K_i, y_0 = 0$, 其中 K_i 为迭代所需角度的余弦值累积, 等式为

$$K_i = \prod_{c_1(i_m) \neq 0} \cos \phi^i = \prod_{c_1(i_m) \neq 0} 1 / \sqrt{1 + 2^{-2i}} \quad (18)$$

结合式(17~18), 可以得到最终的输出为

$$\begin{cases} x_n = \frac{1}{K_i} (x_0 \cos \theta - y_0 \sin \theta) \\ y_n = \frac{1}{K_i} (x_0 \sin \theta + y_0 \cos \theta) \end{cases} \quad (19)$$

式中: x_0 和 y_0 为初始值, x_n 和 y_n 分别为映射到 I 域中旋转角度的余弦值和正弦值。

映射角度的三角函数值可以通过角度域之间及三角函数的变换关系来实现。在硬件实现层面, 目标

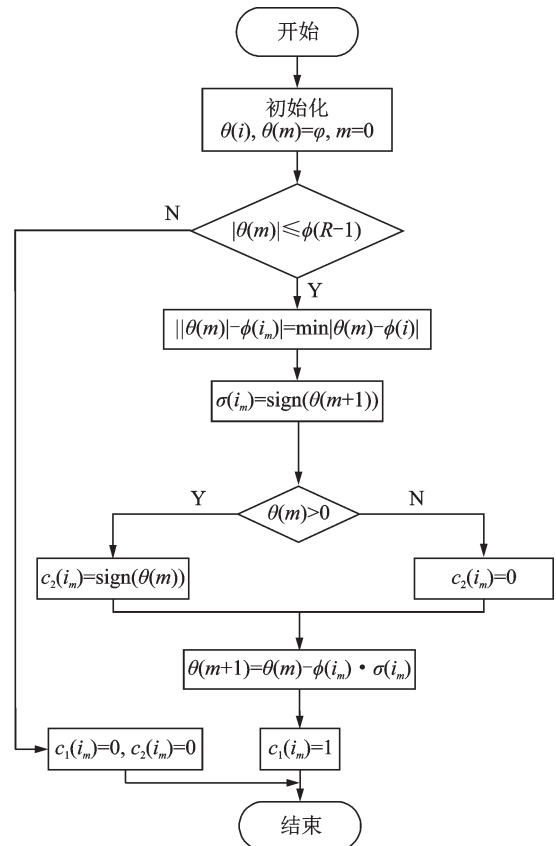


图4 贪婪角度记录算法流程

Fig.4 Flow chart of greedy angle recording algorithm

角度 $\varphi_n \in [0, \pi/2]$ 通过若干比较器和加/减法器可对应划分为第一象限的4个角度域,之后再利用已知角度三角函数的特性实现映射角度恢复,可以高效快速地计算出精度较高的正余弦值。

2.3 基于时分复用的信道衰落硬件模拟

为了进一步提高非平稳信道衰落序列的实现效率,本文基于时分复用思想给出了一种实现方案,如图5所示。该方案基于贪婪CORDIC复指数计算方法与基于时分复用的多速率分级设计相结合。根据中心极限定理,随着产生衰落的复谐波数目越多,输出的信道衰落就越接近理论分布。本文利用该方法产生 M 个复谐波,由于串行架构并且DA的时钟是100 MHz,在较低采样率 $T_{f1} = 1.5625$ MHz下实现多普勒频率和初始相位实时叠加,得到时变相位 $\varphi_{n,m}$,并将它送入贪婪CORDIC复指数运算模块计算时变相位的复指数值。累加器的输出时钟与DA时钟匹配是100 MHz,最后通过积分梳状滤波器(Cascaded integrator-comb filter, CIC)进行速率匹配变换,将数据速率内插到系统时钟 $T_{f2} = 100$ MHz后获得内插信号 $\sigma_n(t)$ 。最后,通过 $\sigma_n(t)$ 产生 $\{\beta_n(t), \gamma_n(t)\}$ 得到复合衰落 $r_n(t)$ 。

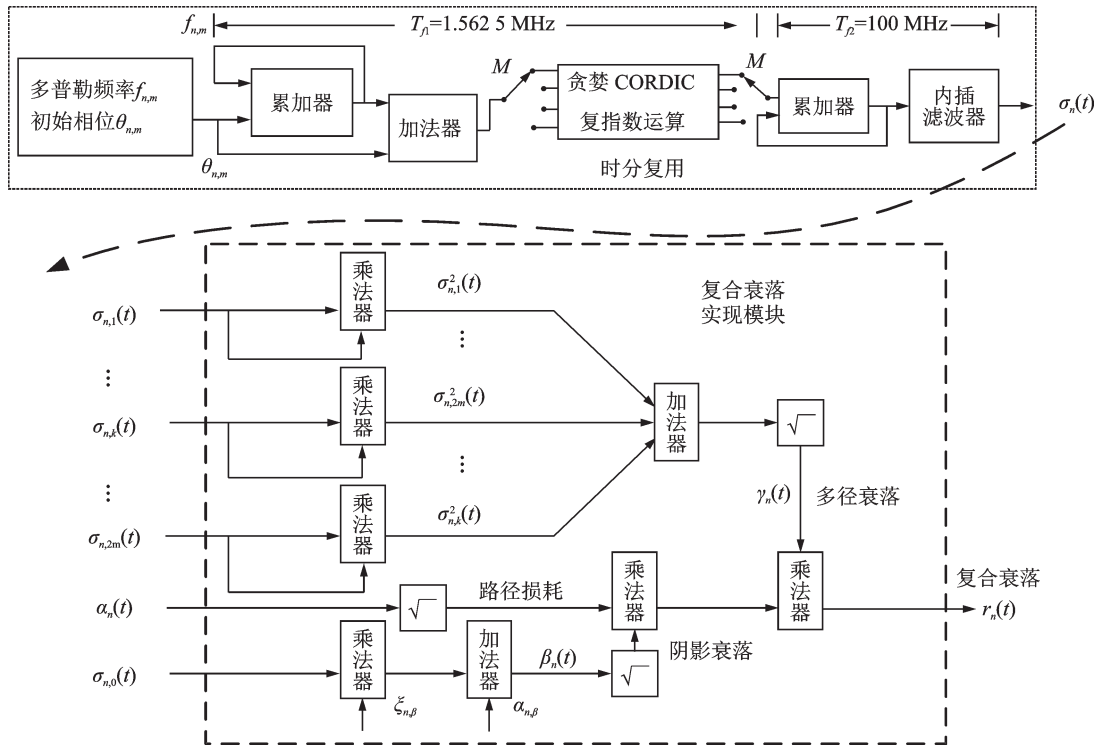


图5 基于时分复用的信道衰落模拟

Fig.5 Channel fading simulation based on time division multiplexing

3 硬件实测及结果分析

3.1 硬件资源消耗

为了验证本文设计的非平稳信道通用衰落硬件模拟方法性能,笔者基于Xilinx公司的xc7k325tffg900芯片进行复指数运算模块硬件实现,数据位宽设为16。表1列出了LUT方法和本文改进CORDIC算法之间硬件资源消耗的比较值,LUT方法需消耗150个36 Kb的RAM资

表1 不同方法硬件性能比较

Table 1 Hardware performance comparison of different methods

方法	LUT ^[10]	本文	LUT ^[24]	CORDIC ^[25]	CORDIC ^[26]
系统时钟/M	100	100	100	100	100
查找表	24 638	21 026	23 584	—	—
寄存器	32 052	28 064	31 064	—	—
RAM块	150	13	137	—	—
资源利用率/%	17.89	6.71	16.64	—	—
平均迭代延迟/clock	—	6	—	8	16
平均误差/%	0.019 1	0.013 6	0.019 1	—	0.020 9

源,而改进后的CORDIC算法仅需消耗13个,RAM资源的占用率大大下降,总资源利用率也从17.89%减少到6.71%。因此,改进后的CORDIC算法大大减少大规模复指数运算的硬件资源消耗。

进一步地,选取数目为32 768个时变相位作为输入角度,且均匀分布在 $[0, 2\pi]$ 范围。复指数运算效率主要体现在迭代处理上,因此,图6(a)统计了贪婪CORDIC算法不同输入角度对应的迭代误差,其中最小迭代误差为0.000 17%,最大迭代误差为0.083 4%,平均迭代误差约为0.013 6%,满足实际复指数实时运算要求。在图6(b)中,比较了经典CORDIC方法、文献[16]方法以及本文贪婪CORDIC方法的迭代延迟分布,结果表明,本文算法平均迭代延迟更少,约为5.5个时钟周期,比经典CORDIC方法减少65.625%。此外,最大迭代延迟为8个时钟周期,不同输入角度迭代延迟的概率密度函数(Probability density function, PDF)近似于高斯分布。综合图6(a)和(b),本文算法有效地减少了迭代延迟且具有较小的迭代误差,更适合大规模复指数的实时运算。

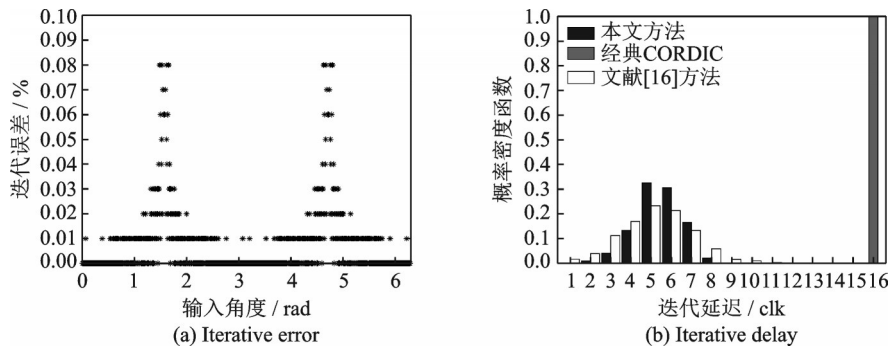


图6 贪婪CORDIC算法迭代误差和延迟

Fig.6 Iterative error and delay of greedy CORDIC algorithm

3.2 实测结果分析

为了评估贪婪CORDIC算法的有效性和非平稳信道衰落模拟的可靠性,通过逻辑分析仪(Chip-scope)工具将输出衰落包络的数据导出到MATLAB中进行统计分析。图7(a)给出了实际测量不同位宽情况下输出衰落幅度的统计分布。由图7可以看出,位宽 $W=16$ 的PDF与理论值拟合度更高。图7(b)比较了3组位宽的PDF误差。结果表明,随着位宽的增加,实测PDF与理论PDF的误差更小,从而验证了该方法对非平稳信道衰落的有效性。

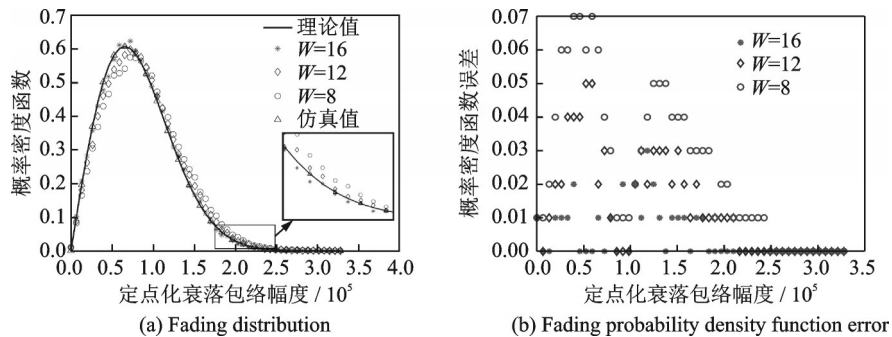


图7 基于贪婪CORDIC算法的输出衰落

Fig.7 Output fading based on greedy CORDIC algorithm

4 结束语

本文提出了一种基于调频信号叠加模型的非平稳信道衰落序列孪生方案,该方案基于贪婪CORDIC方法实现大规模复指数的实时运算,通过并行流水线结构、角度域折叠技术和角度记录单元,大大减少了硬件存储资源的消耗,与LUT方法相比,总资源利用率从17.89%减少到6.71%,硬件延迟时间也比传统的CORDIC算法更短且迭代误差较小。此外,还分析比较了不同位宽下输出衰落幅度的统计分布,结果表明,硬件实时模拟输出衰落幅值概率密度分布与理论值吻合。

参考文献:

- [1] 王健, 杨闯, 闫宁宁. 面向5G和6G通信的数字孪生信道研究[J]. 电波科学学报, 2021, 36(3): 340-348, 385.
WANG Jian, YANG Chuang, YAN Ningning. Study on digital twin channel for the 5G and 6G communication[J]. Chinese Journal of Radio Science, 2021, 36(3): 340-348, 385.
- [2] XIA L, LU J, ZHANG H. Research on construction method of digital twin workshop based on digital twin engine[C]// Proceedings of 2020 IEEE International Conference on Advances in Electrical Engineering and Computer Applications (AEECA). Dalian, China: IEEE, 2020: 417-421.
- [3] ZHU Q, HUANG W, MAO K, et al. A flexible FPGA-based channel emulator for non-stationary MIMO fading channels[J]. Applied Sciences, 2020, 10(12): 4161-4172.
- [4] NING B, LI T, MAO K, et al. A UAV-aided channel sounder for air-to-ground channel measurements[J]. Physical Communication, 2021, 47(12): 101366.
- [5] 朱秋明, 华博宇, 毛开, 等. 无人机毫米波信道建模进展和挑战[J]. 数据采集与处理, 2020, 35(6): 1049-1059.
ZHU Qiuming, HUA Boyu, MAO Kai, et al. Advances and challenges of UAV millimeter-wave channel modeling[J]. Journal of Data Acquisition and Processing, 2020, 35(6): 1049-1059.
- [6] DE SOUZA R A A, COGLIATTI R, YACOUB M D. Efficient acceptance-rejection method for Nakagami-m complex samples[J]. IEEE Wireless Communications Letters, 2013, 3(1): 94-96.
- [7] BADAWY A, WOLFF R. A hardware based Ricean fading radio channel simulator[J]. Wireless Personal Communications, 2017, 93(3): 615-627.
- [8] GREEN P J. Implementation of a real-time Rayleigh, Rician and AWGN multipath channel emulator[C]//Proceedings of 2017 IEEE Region 10 Conference. Penang, Malaysia: IEEE, 2017: 35-39.
- [9] CHATELLIER P, TORTELLIER P, BOUTILLON E. Toward a hardware real time SIMO channel emulator[C]// Proceedings of the 3rd IEEE International Conference on Wireless and Mobile Computing, Networking and Communications. White Plains, NY, USA: IEEE, 2007.
- [10] ZHU Q, LI H, FU Y, et al. A novel 3D non-stationary wireless MIMO channel simulator and hardware emulator[J]. IEEE Transactions on Communications, 2018, 66(9): 3865-3878.
- [11] HUANG P, TONNEMACHER M J, DU Y, et al. Towards massive MIMO channel emulation: Channel accuracy versus

- implementation resources[J]. IEEE Transactions on Vehicular Technology, 2020, 69(5): 4635-4651.
- [12] XU R, JIANG Z, HUANG H, et al. An optimization of CORDIC algorithm and FPGA implementation[J]. International Journal of Hybrid Information Technology, 2015, 8(6): 217-228.
- [13] CHANGELA A, ZAVERI M, LAKHLANI A. FPGA implementation of asynchronous mousetrap pipelined radix-2 CORDIC algorithm[C]//Proceedings of International Conference on Current Trends towards Converging Technologies. Coimbatore, India: IEEE, 2018: 252-258.
- [14] OZA S S, SHAH A P, THOKALA T, et al. Pipelined implementation of high radix adaptive CORDIC as a coprocessor[C]//Proceedings of International Conference on Computing and Network Communications. [S.l.]: IEEE, 2015: 333-342.
- [15] 周生奎,戴秀超,朱秋明,等.无线衰落信道模拟方法及仪器研制[J].电子测量与仪器学报,2015,29(7): 988-994.
ZHOU Shengkui, DAI Xiuchao, ZHU Qiuming, et al. Simulation method for fading channel and emulator development[J]. Journal of Electronic Measurement and Instrument, 2015, 29(7): 988-994.
- [16] SZYSZKOWICZ S S, YANIKOMEROGLU H, THOMPSON J S. On the feasibility of wireless shadowing correlation models[J]. IEEE Transactions on Vehicular Technology, 2010, 59(9): 4222-4236.
- [17] 周生奎,朱秋明,戴秀超,等.一种新的相关复合衰落模拟方法[J].应用科学学报,2015,33(5): 470-480.
ZHOU Shengkui, ZHU Qiuming, DAI Xiuchao, et al. A novel generation method for correlated composite fading[J]. Journal of Applied Sciences, 2015, 33(5): 470-480.
- [18] ZHU Q M, DANG X Y, XU D Z, et al. Highly efficient rejection method for generating Nakagami-m sequences[J]. Electronics letters, 2011, 47(19): 1100-1101.
- [19] LIU X, ZHU Q, CHEN X, et al. A new simulation model for non-stationary fading channel[C]//Proceedings of 2016 3rd International Conference on Electronic Design. [S.l.]: IEEE, 2016: 66-69.
- [20] ZHU Q, LIU X, YIN X, et al. A novel simulator of nonstationary random mimo channels in Rayleigh fading scenarios[J]. International Journal of Antennas and Propagation, 2016, 2016: 1-9.
- [21] MOKHTAR A S N, AYUB M I, ISMAIL N, et al. Implementation of trigonometric function using CORDIC algorithms[C]//Proceedings of International Conference on Engineering and Technology. [S.l.]: AIP Publishing LLC, 2018, 1930(1): 020040.
- [22] BANSAL P, DHALIWAL B S, GILL S S. Memory-efficient Radix-2 FFT processor using CORDIC algorithm[C]//Proceedings of 2014 International Conference on Green Computing Communication and Electrical Engineering. [S.l.]: IEEE, 2014: 1-5.
- [23] KUMAR P A. FPGA implementation of the trigonometric functions using the CORDIC algorithm[C]//Proceedings of the 5th International Conference on Advanced Computing & Communication Systems. Coimbatore, India: IEEE, 2019: 894-900.
- [24] FARD S F, ALIMOHAMMAD A, COCKBURN B F. An FPGA-based simulator for high path count Rayleigh and Rician fading[J]. IEEE Transactions on Vehicular Technology, 2010, 59(6): 2725-2734.
- [25] XUE Y, MA Z. Design and implementation of an efficient modified CORDIC algorithm[C]//Proceedings of 2019 IEEE 4th International Conference on Signal and Image Processing. [S.l.]: IEEE, 2019: 480-484.
- [26] KUMAR P A. FPGA implementation of the trigonometric functions using the CORDIC algorithm[C]//Proceedings of 2019 5th International Conference on Advanced Computing & Communication Systems (ICACCS). [S.l.]: IEEE, 2019: 894-900.

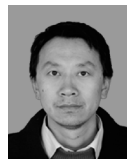
作者简介:



赵子坤(1996-),男,硕士研究生,研究方向:无线信道衰落硬件模拟,E-mail: zhaozikun@nuaa.edu.cn。



毛通宝(1997-),男,硕士研究生,研究方向:无线信道衰落硬件模拟。



吴挺(1978-),男,高级工程师,研究方向:无线通信、深空通信。



水宜水(1986-),男,工程师,研究方向:信道测量与建模、通信仿真。



陈小敏(1975-),通信作者,女,副教授,研究方向:无线通信技术,E-mail: chenxm402@nuaa.edu.cn。



朱秋明(1979-),男,副教授,研究方向:信道测量与建模、无人机通信。