

应用于高速数据采集系统的超低抖动时钟电路

李海涛¹, 李斌康^{1,2}, 阮林波^{1,2}, 田耕^{1,2}, 张雁霞^{1,2}

(1. 西北核技术研究所, 西安, 710024; 2. 强脉冲辐射环境模拟与效应国家重点实验室, 西安, 710024)

摘要: 分析了高速数据采集系统对采样时钟抖动的要求, 给出了时钟相位噪声和时钟抖动的转换关系; 采用 HITTITE 的 HMC1035LP6GE 频率综合芯片作为主芯片, 设计了时钟生成电路, 2 500 MHz 输出时钟抖动测量值 90 fs (整数工作模式, 输入频率 100 MHz, 鉴相频率 100 MHz, 环路滤波带宽 127 kHz, 积分区间 [10 kHz, 10 MHz])。对比时钟生成电路在各种工作模式下的性能, 给出了对应的设计指南。

关键词: 高速数据采集; 超低时钟抖动; 相位噪声; 时钟生成; 模拟输入带宽

中图分类号: TN79 文献标志码: A

Research on Ultra-low Jitter Clock Circuit Applied to High Speed Data Acquisition System

LI Haitao¹, LI Binkang^{1,2}, RUAN Linbo^{1,2}, TIAN Geng^{1,2}, ZHANG Yanxia^{1,2}

(1. Northwest Institute of Nuclear Technology, Xi'an, 710024, China; 2. State Key Laboratory of Intense Pulsed Radiation Simulation and Effect, Xi'an, 710024, China)

Abstract: This paper analyzes the requirement of sampling clock jitter of high sampling rate and high resolution data acquisition system (DAQ), and gives the relationship between clock phase noise and clock jitter. The HMC1035LP6GE frequency synthesizer chip is used as the main chip of the clock generation circuit with output clock jitter measured as 90 fs (integer mode, 2 500 MHz output frequency, 100 MHz input frequency, phase detector frequency 100 MHz, loop filter bandwidth 127 kHz, integral interval [10 kHz, 10 MHz]). The performance of the circuit in various working conditions is compared, and the corresponding design guidelines are given.

Key words: high speed data acquisition; ultra low clock jitter; phase noise; clock generation; analog input bandwidth

引 言

近些年来, 国内对高速数据采集系统的研究如火如荼, 取得很多的成果。在高速数据采集系统中, 有几个性能经常被比较提出, 包括: 模拟输入带宽、采样率、分辨率、有效位和存储深度等, 前 4 个指标主要由数据采集系统前端来决定 (数字增强型的输入带宽、数字增强型的分辨率和数字增强型的有效位

基金项目: 国家自然科学基金 (11605141) 资助项目; 强脉冲辐射环境模拟与效应国家重点实验室 (西北核技术研究院) 专项经费 (SKLIPR1501Z、SKLIPR1502Z) 资助项目。

收稿日期: 2020-02-15; **修订日期:** 2020-10-13

不在讨论之列)。数据采集系统的前端主要包括了前端模拟信号调理电路、模拟数字转换器(Analog to digital converter, ADC)、超低抖动时钟产生电路等。

目前,很多应用场合都使用具有高采集率、高分辨率的ADC,为充分利用ADC的带宽、采样率、分辨率和有效位等性能,必须为ADC选择极低噪声的模拟信号调理电路、超低抖动的时钟产生电路和超低纹波电源产生电路等。以下将重点讨论ADC的有效位指标,影响ADC的有效位(Effective number of bits, ENOB)的因素很多,包括ADC自身因素(ADC的孔径抖动(Aperture jitter)、ADC的量化噪声(Quantization noise)、ADC的非线性等、模拟输入信号噪声、采样时钟抖动、电源纹波噪声等,信噪比(Signal to noise ration, SNR)具体可参考式(1),该公式的描述中未体现电源纹波噪声,或者已经将电源纹波噪声等效在其他因素中^[1-5]。

$$\text{SNR} = -20\log \left[(2\pi \times f_{in} \times t_{jms})^2 + \frac{2}{3} \left(\frac{1+\epsilon}{2^N} \right)^2 + \left(\frac{2 \times \sqrt{2} \times V_{\text{NOISE}_{\text{rms}}}}{2^N} \right)^2 \right]^{\frac{1}{2}} \quad (1)$$

式中: f_{in} 为满量程(ADC输入量程)模拟输入的标准正弦波频率; t_{jms} 为ADC的孔径抖动和采样时钟抖动的均方根值; ϵ 为ADC的非线性,包含了积分非线性和微分非线性; N 为ADC量化位数; $V_{\text{NOISE}_{\text{rms}}}$ 为模拟输入噪声。在模拟输入满量程(不考虑幅度修正问题)且 $t_{jms}=0$ 、 $\epsilon=0$ 、 $V_{\text{NOISE}_{\text{rms}}}=0$ 的情况下,仅考虑ADC量化噪声贡献,得到ADC的理想信噪比为

$$\text{SNR ideal} = \text{SINAD} = 6.02 \times \text{ENOB} + 1.76 \quad (2)$$

式中信纳比(Signal to noise and distortion ratio, SINAD)为信号功率与噪声、谐波功率之比;ENOB为ADC的实际有效位数。

在模拟输入满量程且 $\epsilon=0$ 、 $V_{\text{NOISE}_{\text{rms}}}=0$ 的情况下,将量化噪声等效到 t_{jms} 中,得到仅由抖动贡献的SINAD(如式(3))^[6]。此处亦可以考虑成将其余因素全部等效为抖动 t_{jms} 的贡献,则

$$\text{SINAD} = -20\log(2\pi \times f_{in} \times t_{jms}) \quad (3)$$

在模拟输入满量程且 $t_{jms}=0$ 、 $V_{\text{NOISE}_{\text{rms}}}=0$ 的情况下,将量化噪声等效到 ϵ 中,得到仅由非线性动贡献的SINAD(如式(4))。此处亦可以考虑成,将其余因素全部等效为非线性 ϵ 的贡献。

$$\text{SINAD} = (6.02 \times N + 1.76) \times 2 - 20\lg\epsilon \quad (4)$$

可以看到, f_{in} 、 t_{jms} 、 ϵ 、 $V_{\text{NOISE}_{\text{rms}}}$ 与外部输入相关,可以通过降低采样时钟抖动、降低电源噪声和提高模拟输入信号品质等途径,提高ADC的有效位数ENOB^[7]。应用举例:在输入信号频率 $f_{in}=125$ MHz且要求ADC有效位ENOB=10 bits情况下,根据式(2,3)得到:等效抖动 $t_{jms}=1.02$ ps,此处的等效抖动包括了ADC的自身因素和各种外界因素的贡献,实际对采样时钟抖动的要求更高。若在输入信号频率 $f_{in}=125$ MHz且要求ADC有效位ENOB=14 bits情况下,根据式(2)和式(3)得到:等效抖动 $t_{jms}=64$ fs。可以看出,对于高频输入模拟信号且高有效位的ADC设计,低抖动的时钟设计是一个关键,降低采样时钟抖动,不仅能够提高ADC有效位ENOB,还能够提高ADC的模拟输入带宽^[8]。

1 时钟相位噪声和时钟抖动

数据采集系统中经常提到的时钟相位噪声和时钟抖动指标,两者是同一项时钟性能在频域和时域的不同表现形式,本质是衡量时钟短期稳定性的指标。时钟的长期稳定性使用频率漂移(Frequency drift)来描述,其短期稳定性使用时钟抖动(Clock jitter)或者时钟相位噪声(Clock phase noise)来描述^[9-11]。

时钟抖动(Clock jitter)。表示时钟抖动的方法有多种^[12]:周期抖动(Period jitter)、周期到周期抖动

(Cycle to cycle jitter)、时间间隔误差(Time interval error)等,其中周期抖动比较常见。

相位噪声。 $L(f)$ 定义为在1 Hz的带宽划分下,频率 f_m 处的功率与时钟中心频率 f_0 (亦称载波频率 f_c)的功率之比,如式(5),一般用 dBc/Hz表示^[13],有的文献中将 $S(f_m)$ 写成 $PN(f_m)$,其中S代表频谱(Spectrum);PN代表相位噪声, $S(f)$ 为时钟的功率谱密度(Power spectrum density, PSD)函数,单位为W/Hz。

$$L(f) = 10 \lg \frac{S(f_m)}{S(f_0)} \quad (5)$$

以下讨论的时钟抖动指的是时钟周期抖动,将时钟周期抖动和相位噪声关联起来并进行相互转换,需要借助于相位抖动(Phase jitter)。相位抖动定义为相位噪声功率谱密度上一定频带内的相位噪声能量总和,如式(6),单位弧度,式中, f_1, f_2 为频率积分区间的下限、上限。相位抖动是一个频域的概念,频域的相位抖动和时域的周期抖动之间换算关系为

$$\text{PhaseJitter}_{\text{rms}} = \sqrt{2 \times \int_{f_1}^{f_2} 10^{\frac{L(f)}{10}} df} = \sqrt{2 \times \int_{f_1}^{f_2} \frac{S(f_m)}{S(f_0)} df} \quad (6)$$

$$t_{\text{jms}} = \frac{1}{2\pi f_0} \times \text{PhaseJitter}_{\text{rms}} = \frac{1}{2\pi f_0} \times \sqrt{2 \times \int_{f_1}^{f_2} \frac{S(f_m)}{S(f_0)} df} \quad (7)$$

关于相位抖动的频率积分区间 $[f_1, f_2]$,理论上讲,积分区间下限 f_1 应该尽量低, f_1 为1 Hz、10 Hz等,带宽上限应尽量高, f_2 为 $2f_0 + \infty$ 。实际使用时,需要根据应用场合调整频率积分区间^[12],例如:光纤通道的时钟抖动的积分区间为[637 kHz, 10 MHz],10 GHz以太网XAUI中时钟抖动的积分区间为[1.875 MHz, 20 MHz],SATA/SAS的时钟抖动的积分区间为[900 kHz, 7 MHz]^[14]。

2 时钟产生电路

根据以上理论分析,为了使ADC芯片可以实现最佳性能,需要为其提供超低抖动的时钟信号。选用了HITTITE公司(已被ADI收购)的HMC1035LP6GE^[15-17](以下简称HMC1035)时钟产生芯片(或称为频率综合芯片),设计实现了超低抖动时钟产生电路,主要验证以下功能:(1)实现整数模式和小数模式下时钟频率输出,比较两者的时钟抖动。(2)整数模式下鉴相频率(Phase detector frequency, PFD)对输出时钟抖动的影响。(3)供电电源对HMC1035输出的影响等。HMC1035工作在整数模式、50 MHz输入、2 500 MHz输出的时钟抖动典型值为97 fs[12 kHz, 20 MHz],622.08 MHz输出的时钟抖动典型值为107 fs[12 kHz, 20 MHz]。

图1为时钟产生电路的原理图。高稳参考信号源采用的是Crystek公司的CCHD-950-25-100M:输出频率为100 MHz^[18],实际测量其时钟抖动为135 fs [10 kHz, 10 MHz];高速信号扇出芯片采用HITTITE公司的HMC987LP5GE芯片^[19],用于低噪声时钟分配,可以完成1:9扇出缓冲器功能。

PCB设计采用了4层板结构: L_1 (TOP, Signal)→ L_2 (GND)→ L_3 (Power)→ L_4 (Bottom, Signal),FR-4板材,1.6 mm标准厚度。设计时,TOP层、Bottom层走线阻抗控制,单线特征阻抗50 Ω,差分线特征阻抗100 Ω,Top、Bottom层表面铺铜接地。电源设计采用外部电源供电,分析了2种供电方式对HMC1035输出频率的影响。关于高速电路的电源去耦的设计,有很多专门的文章进行论述^[20-23],这里不再赘述。

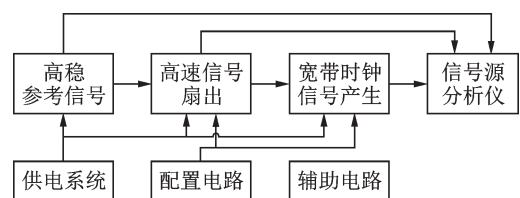


图1 时钟产生电路原理图

Fig. 1 Block diagram of clock generation circuit

HMC1035窄带环路滤波的设计关系到PLL的频率锁定和时钟噪声滤除^[24-25]:宽带滤波器有利于锁定但不利于滤除噪声,窄带滤波器有利于滤除噪声但不利于锁定,最终使用器件手册上给出的127 kHz的无源四阶低通环路滤波器。

需要特别指出的是,在工作时,高速芯片引脚的连接,除了给定的NC引脚可以悬空之外,在芯片工作时需要使用的引脚,不推荐悬空,引脚一旦悬空,容易导致引脚状态未知,影响系统的稳定。设计的时钟产生电路实物图如图2所示。

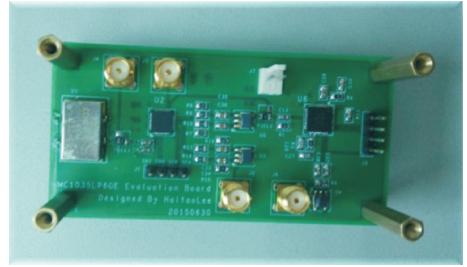


图2 时钟产生电路实物

Fig. 2 Clock generating circuit photo

3 时钟电路测试

时钟抖动测试仪器采用ROHDE&SCHWARZ公司的FSW13频谱与信号分析仪,采用标准配件,在进行频谱分析时,积分区间[10 kHz, 10 MHz]。

3.1 整数模式和小数模式下的时钟抖动比较

采用直流电压源供电,直流电压源型号Agilent E3631A,通过SPI配置HMC1035芯片,测量HMC1035在整数模式和小数模式输出时钟的抖动,其它工作条件都相同,得到表1。表1中HMC1035 2500 MHz-50 MHz-integer表示HMC1035频率综合芯片工作条件为整数模式、50 MHz鉴相器(Phase detector, PD)频率、2 500 MHz压控振荡器(Voltage controlled oscillator, VCO)频率。HMC1035 2 500 MHz-50 MHz-fractional表示HMC1035频率综合芯片工作条件为小数模式、50 MHz PD频率、2 500 MHz VCO频率。测量得到高稳参考信号输出的100 MHz对应的时钟抖动典型值为135 fs(以下简称为100 MHz VCXO jitter),高速信号扇出后的100 MHz信号时钟抖动典型值为152 fs(以下简称为HMC987 fanout jitter),以下表1重复部分不再赘述。

表1 整数模式和小数模式对HMC1035芯片输出性能的影响

Table 1 Comparison of integer mode and fractional mode on output performance of HMC1035 chip

模式	Output 1	Output 2	Output 3
HMC1035 2500MHz-50MHz-integer	78.125 MHz	625 MHz	2 500 MHz
	324 fs	105 fs	98 fs
HMC1035 2500 MHz-50 MHz-fractional	78.125 MHz	625 MHz	2 500 MHz
	368 fs	135 fs	123 fs
	77.76 MHz	622 MHz	2 488 MHz
	330 fs	131 fs	123 fs

整数模式下锁相环(Phase lock loop, PLL)的输出分频率受限于PD的频率步进。小数模式的优点在于可以提高PLL的输出分辨率,显著改善锁定时间,但是小数模式下工作的PLL的输出杂散水平较高,影响时钟抖动指标。可以看到:小数模式下的输出时钟抖动明显高于整数模式下的输出时钟抖动^[26-27]。原因在于整数模式下,不使用 Σ - Δ 调制器,降低了引入的时钟抖动。按照抖动的平方根值理论,可以看到 Σ - Δ 调制器的抖动贡献约为 $(123^2 - 98^2)^{0.5} = 74$ fs(2 500 MHz输出频率,单次,未考虑统计涨落)。此处同时给出2 488, 622, 77.76 MHz的输出时钟抖动测量值,是为了与手册给出的典型值进行对比。

3.2 整数模式下PD工作频率对时钟抖动的影响

采用直流电压源供电, HMC1035工作在整数模式下, PD工作频率为100, 50, 10, 1 MHz, 测量输出时钟抖动性能, 结果如表2所示, 分析PD工作频率对输出时钟抖动的影响。

表2 PD工作频率对HMC1035芯片输出性能的影响

Table 2 Comparison of PD operating frequency on output performance of HMC1035 chip

模式	Output1	Output2	Output3
HMC1035 2 500 MHz-100 MHz-integer	78.125 MHz 249 fs	625 MHz 95 fs	2 500 MHz 90 fs
HMC1035 2 500 MHz-50 MHz-integer	78.125 MHz 324 fs	625 MHz 105 fs	2 500 MHz 98 fs
HMC1035 2 500 MHz-10 MHz-integer	78.125 MHz 370 fs	625 MHz 240 fs	2 500 MHz 233 fs
HMC1035 2 500 MHz-1 MHz-integer	78.125 MHz 594 fs	625 MHz 543 fs	2 500 MHz 517 fs

PD有2个输入端, 一端接参考输入频率 f_{xtal} 的 R 分频, 一端接VCO工作频率 f_{VCO} 的 N 分频。PD稳定工作在整数模式时, PD无偏置, 电流为0, 此时, 只需要考虑PD工作频率 f_{PD} 对输出时钟抖动的贡献, f_{PD} 表示为

$$f_{PD} = f_{VCO} / N = f_{xtal} / R \quad (8)$$

PD将 f_{VCO} 的 N 分频的反馈频率与输入参考频率的某一分频形式进行鉴相, 输出一个电流, 经过积分和外部环路滤波, 产生一个电压, 这个电压驱动VCO提高或者降低频率, 使PD的输出电流的等效电压接近0, 达到平衡。提高 f_{PD} , 可以降低输出时钟相位噪声, 相位噪声是在PD的最高工作频率上增加 $20 \log R$, 因此 R 越大, PD工作频率越低, 相位噪声越差, R 增大一倍, 相位噪声降低3 dB, 应该使用可行的PD最高工作频率, 但实际往往需要均衡^[28-29]。文章表格描述的大部分HMC1035的输出时钟抖动都是基于50 MHz的 f_{PD} , 该 f_{PD} 为器件手册推荐工作频率; 但是 f_{PD} 为100 MHz时, HMC1035的输出时钟抖动指标更优, 只是锁定时间增加, 功耗增加。

3.3 整数模式下供电电源对时钟抖动的影响

HMC1035芯片在正常工作时, 其功耗比较高, 为保证PLL的输出性能, 需要选择好供电方式, 并做好电源的去耦和PCB散热等工作。在保证电源去耦的前提下, 分析了直流电压源(Agilent E3631A)供电和DC/DC开关电源(PTH08T240W)供电对PLL芯片输出性能的影响, 如表3所示。另外给出了直流电压源供电时HMC1035的典型相位噪声曲线(图3)。

表3 直流供电和DC/DC电源供电对HMC1035芯片输出性能的影响

Table 3 Comparison of DC power supply and DC/DC power supply on output performance of HMC1035 chip

供电模式	100 MHz VCXO jitter	HMC987 fanout jitter	HMC1035 2 500 MHz-50 MHz-integer		
直流电压源供电 Agilent E3631A	135 fs	152 fs	78.125 MHz	625 MHz	2 500 MHz
			324 fs	105 fs	98 fs
DC/DC开关电源 供电 PTH08T240W	190 fs	270 fs	78.125 MHz	625 MHz	2 500 MHz
			720 fs	120 fs	128 fs

可以看出,开关电源供电对整个系统的性能影响很大,不仅增加了HMC1035的输出时钟抖动,而且增加了信号路径上的所有时钟抖动。开关电源供电对HMC1035的输出时钟抖动贡献较大,预估约为90 fs(2 500 MHz输出频率,单次,未考虑统计涨落),其贡献主要来源于开关频率及其高次谐波的影响。采用外部直流电压源供电后,HMC1035的输出频谱上,在300 kHz的开关频率附近依然有毛刺,如图3所示。这是因为SPI配置HMC1035、HMC987的工作状态的芯片由开关电源供电,SPI配置线路上未做好隔离处理,电源噪声通过SPI配置线路耦合到HMC1035电路板上引起^[30]。

3.4 分析与讨论

受限于测量仪器的指标限制,本次实验给出的时钟抖动的积分区间为[10 kHz, 10 MHz],器件手册给出的时钟抖动指标的积分区间为[12 kHz, 20 MHz],根据测量得到的噪声功率谱密度图,可以从理论上推出积分区间[12 kHz, 20 MHz]的时钟抖动^[13]。

根据式(5),如图3所示,计算得到,在[10 kHz, 12 kHz]区间,噪声功率的贡献约为 6×10^{-9} dBc量级;在[10 MHz, 20 MHz]的区间,噪声功率的贡献约为 6×10^{-8} dBc量级。大致计算得到,在[10 kHz, 10 MHz]区间,噪声功率总体为 10^{-6} dBc量级。在[10 kHz, 10 MHz]区间噪声功率基础上,减去[10 kHz, 12 kHz]区间的噪声功率贡献,加上[10 MHz, 20 MHz]区间的噪声功率贡献,得到[12 kHz, 20 MHz]区间的时钟抖动数值。可以定量分析,[10 kHz, 12 kHz]区间的噪声功率和[10 MHz, 20 MHz]区间的噪声功率,相对于[10 kHz, 10 MHz]区间的噪声功率小很多,理论上讲,[12 kHz, 20 MHz]区间时钟抖动比[10 kHz, 10 MHz]区间的时钟抖动指标稍低一些,但相差无几。

以ADS5400为例说明超低抖动时钟在高速数据采集系统中的应用,ADS5400孔径抖动 aperture jitter为125 fs_{rms}。当 $f_{in}=125$ MHz, ENOB=10 bits时,根据式(2,3),得出 $t_{jms}=1.02$ ps[12 kHz, 20 MHz]。与 t_{jms} 相比,ADC的孔径抖动可以忽略,HMC1035输出采样时钟抖动亦可以忽略,此处影响ADC有效位的因素主要为模拟输入噪声和电源纹波噪声等其他因素。当 $f_{in}=125$ MHz, ENOB=14 bits时,根据式(2,3),得出 $t_{jms}=64$ fs[12 kHz, 20 MHz]。与 t_{jms} 相比,ADC的孔径抖动、HMC1035输出采样时钟抖动已经无法满足要求。当 $f_{in}=1\ 250$ MHz, ENOB=10 bits时,根据式(2,3),得出 $t_{jms}=102$ fs[12 kHz, 20 MHz],与 t_{jms} 相比,ADC的孔径抖动、HMC1035输出采样时钟抖动已经无法有效满足要求。同理,当 $f_{in}=1\ 250$ MHz, ENOB=14 bits时,根据式(2,3),得出 $t_{jms}=6.4$ fs[12 kHz, 20 MHz],目前所知的ADC芯片和时钟产生电路都无法满足要求,这种情况下,可以采用下变频等方法对输入高频信号进行下变频之后采样,降低对ADC芯片和时钟产生电路的要求。该方法在加速器的低电平控制(Low level radio frequency, LLRF)、数字移动通信等场景中应用广泛。

可以看到,针对低频输入信号、对有效位要求不高情况时,采样时钟抖动对ADC有效位的影响较小,甚至可以忽略,这时需要注意低噪声的模拟信号调理电路设计和电源完整性设计等。针对高频输入信号、对有效位要求高等情况时,采样时钟抖动对ADC有效位的影响很大,需要精心设计采样时钟等以充分提高数据采集系统的模拟输入带宽和有效位。

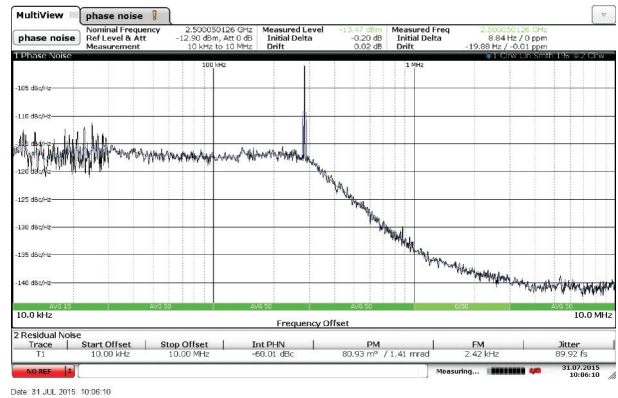


图3 HMC1035的典型相位噪声示意图

Fig. 3 Typical phase noise of HMC1035

4 结束语

本文分析了影响高速数据采集系统有效位和带宽的因素,推导给出时钟抖动对有效位的影响。并且研究时钟相位噪声和时钟抖动之间的转换关系,给出了理论依据和转换过程。

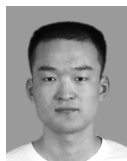
高速数据采集系统是一个系统工程,需要设计极低噪声的模拟信号调理电路、超低抖动的时钟产生电路、超低纹波电源产生电路等。针对高频输入信号进行数据采集、对有效位要求高等情况,选择合适的时钟产生方式、获取超低抖动采样时钟尤其重要。

参考文献:

- [1] TILDEN S. IEEE standard for terminology and test methods for analog-to-digital converters[EB/OL]. (2011-01-14) [2020-02-10]. <https://standards.ieee.org/standard/1241-2010.html>.
- [2] 林海川. 面向低频射电探测的自触发前端单元的研制[D]. 北京: 中国科学院高能物理研究所, 2014.
LIN Haichuan. R&D of the self-triggering front-end unit for low frequency radio detection[D]. Beijing: IHEP, CAS, 2014.
- [3] KESTER W. Analog-digital Conversion[EB/OL]. (2004-03-01) [2020-02-10]. <http://www.analog.com>.
- [4] 李海涛, 李斌康, 阮林波. 高速高分辨率ADC有效位测试方法研究[J]. 电子技术应用, 2013, 39(5):41-43.
LI Haitao, LI Binkang, RUAN Linbo. Research on the ENOB test methods of high-speed high-resolution ADC[J]. Application of Electronic Technique, 2013, 39(5): 41-43.
- [5] 李海涛, 阮林波, 田耕. FFT方法在ADC有效位测试中的应用探讨[J]. 电测与仪表, 2013, 50(10): 14-17.
LI Haitao, RUAN Linbo, TIAN Geng. Application and discussion of the FFT methods in the ADC ENOB test[J]. Electrical Measurement and Instrumentation, 2013, 50(10): 14-17.
- [6] PEARSON C. High-speed analog-to-digital converter basics[EB/OL]. (2011-01-01) [2020-02-10]. <http://www.ti.com>.
- [7] BRANNON B. Sampled systems and the effects of clock phase noise and jitter [EB/OL]. (2004-12-01) [2020-02-10]. <http://www.analog.com>.
- [8] 余琨. ATE测试中抖动对高性能ADC测试结果影响与分析[J]. 电子技术应用, 2016, 42(7): 46-49.
YU Kun. Effects and analysis of jitter on high performance ADC in ATE testing[J]. Application of Electronic Technique, 2016, 42(7): 46-49.
- [9] 吴义华, 宋克柱, 何正森. 时钟抖动测量方法[J]. 数据采集与处理, 2006, 21(1): 99-102.
WU Yihua, SONG Kezhu, HE Zhengmiao. Clock jitter measurement method[J]. Journal of Data Acquisition & Processing, 2006, 21(1): 99-102.
- [10] LALITTE V. IEEE standard definitions of physical quantities for fundamental frequency and time metrology-random instabilities[EB/OL]. (2009-02-27) [2020-02-10]. <https://standards.ieee.org/standard/1139-2008.html>.
- [11] 陈鑫, 吴宁. 数字锁相环的最优化设计[J]. 南京航空航天大学学报, 2012, 44(1): 87-82.
CHEN Xin, WU Ning. Optimal design of digital phase-locked loop[J]. Journal of Nanjing University of Aeronautics & Astronautics, 2012, 44(1): 87-82.
- [12] Sitime. Clock jitter definitions and measurement methods[EB/OL]. (2004-01-01) [2020-02-10]. <http://www.sitime.com>.
- [13] KESTER W. Converting oscillator phase noise to time jitter [EB/OL]. (2008-10-01) [2020-02-10]. <http://www.analog.com>.
- [14] Texas Instrument. LMK03806 datasheet[EB/OL]. (2018-09-01) [2020-02-10]. <http://www.ti.com>.
- [15] Analog Devices. HMC1035 datasheet[EB/OL]. (2017-02-23) [2020-02-10]. <http://www.analog.com>.
- [16] 罗阳. 一种宽带亚皮秒级抖动时钟发生器的设计[J]. 科技创新, 2013, 19(7): 48-49.
LUO Yang. Design of wideband clock generator with sub-picosecond jitter[J]. Technology Innovation and Application, 2013, 19(7): 48-49.
- [17] 潘玉剑, 张晓发, 袁乃昌. 基于HMC830的低相噪低杂散频率源的设计[J]. 电子设计工程, 2011, 19(10): 180-182.
PAN Yujian, ZHANG Xiaofa, YUAN Naichang. Design of low phase noise and low spurious frequency source based on HMC830[J]. Electronic Design Engineering, 2011, 19(10): 180-182.
- [18] CRYSTE K. CCHD-950 datasheet[EB/OL]. (2010-01-25) [2020-02-10]. <http://www.crystek.com>.

- [19] Analog Devices. HMC987LP5E datasheet [EB/OL]. (2010-11-18) [2020-02-10]. <http://www.analog.com>.
- [20] 于争. 信号完整性 [EB/OL]. (2013-10-01) [2020-02-10]. <http://www.sig007.com>, 2010.
YU Zheng. Signal integrity [EB/OL]. (2013-10-01) [2020-02-10]. <http://www.sig007.com>, 2010.
- [21] 孟祥胜, 车凯, 栗晓峰, 等. 高速PCB电路电源完整性仿真分析[J]. 电子技术应用, 2019, 45(9): 50-53.
MENG Xiangsheng, CHE Kai, LI Xiaofeng, et al. High-speed PCB circuit power integrity simulation analysis[J]. Application of Electronic Technique, 2019, 45(9): 50-53.
- [22] ALEXANDER M. Power distribution system design-using bypass capacitors[EB/OL]. (2005-02-28) [2020-02-10]. <http://www.xilinx.com>, 2005.
- [23] KESTER W. Decoupling techniques [EB/OL]. (2009-03-01) [2020-02-10]. <http://www.analog.com>.
- [24] 邱亮, 茆亚洲, 彭滢, 等. 基于时钟树机制的超高速数字锁相放大系统[J]. 数据采集与处理, 2019, 34(4): 715-722.
QIU Liang, MAO Yazhou, PENG Yan, et al. Ultra-high speed digital phase-locked amplifier system based on clock tree mechanism[J]. Journal of Data Acquisition & Processing, 2019, 34(4): 715-722.
- [25] Analog Devices. Hmc833lp6g datasheet[EB/OL]. (2014-07-01) [2020-02-10]. <http://www.analog.com>.
- [26] 杨建明. 小数分频频率合成器的 Σ - Δ 调制分析及优化[J]. 电子技术应用, 2019, 44(3): 19-22.
YANG Jianming. Σ - Δ modulation analysis and optimization in fractional-N frequency synthesizer[J]. Application of Electronic Technique, 2019, 44(3): 19-22.
- [27] 童姣叶, 李荣宽, 何国军. 电荷泵锁相环的相位噪声研究[J]. 电子技术应用, 2016, 42(1): 28-30.
TONG Jiaoye, LI Rongkuan, HE Guojun. Study on phase noise of charge-pump phase-locked loops[J]. Application of Electronic Technique, 2016, 42(1): 28-30.
- [28] 孙磊, 安建平, 武岩波. 信号串扰对高速模数转换器性能影响分析[J]. 数据采集与处理, 2008, 23(4): 486-491.
SUN Lei, AN Jianping, WU Yanbo. Analysis on signal cross-talk effects on sampling clock and analog-to-digital system[J]. Journal of Data Acquisition and Processing, 2008, 23(4): 486-491.
- [29] HARNEY A. PLL的电源管理设计[J]. 模拟对话, 2011, 45(9): 1-4.
HARNEY A. Power management design of PLL[J]. Analog Dialog, 2011, 45(9): 1-4.
- [30] NEU T. Clock jitter analyzed in the time domain [EB/OL]. (2010-03-01) [2020-02-10]. <http://www.ti.com>.

作者简介:



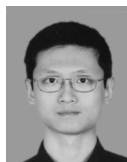
李海涛(1986-),男,博士研究生,工程师,研究方向:高速数据采集等,E-mail: lht2005b@mail.ustc.edu.cn。



李斌康(1966-),通信作者,男,博士、研究员,研究方向:脉冲辐射探测、快脉冲电子学研究和系统研制等,E-mail: libk2008@sina.cn。



阮林波(1973-),男,硕士,高级工程师,研究方向:物理电子学等。



田耕(1978-),男,博士,高级工程师,研究方向:物理电子学等。



张雁霞(1971-),女,硕士,高级工程师,研究方向:物理电子学等。

(编辑:陈珺)