

4K 视频流异构多核的多路分屏方法

吴志忠^{1,2}, 邓敏^{1,2}, 李毅航^{1,2}, 张志刚^{1,2}, 张宽^{1,2}, 唐俊龙^{1,2}, 唐立军^{1,2}

(1. 长沙理工大学物理与电子科学学院, 长沙, 410114; 2. 近地空间电磁环境监测与建模湖南省普通高校重点实验室, 长沙, 410114)

摘要: 针对视频多屏显示系统无法依据分屏数量进行超高清视频自适应分屏传输的问题, 提出了异构多核的视频流传输方法。该方法首先采用基于 ARM 处理器的嵌入式系统实现多任务处理与实时监控; 然后通过 FPGA 实现对视频流的接收、转换、处理及分屏输出显示的硬件加速。系统可以根据输入信号实时配置 FPGA 的工作参数, 实现分辨率和分屏数量可变的超高清视频流分屏显示。最后采用 Zynq UltraScale+MPSOC XCZU7EV 多核异构处理器开发平台对本文系统进行测试, 结果表明: 4K 视频多路分屏画面拼接无明显错位, 同步一致, 较好地满足了视频多路分屏显示要求。

关键词: 视频流传输; 异构多核; 分屏技术; 4K 超高清视频

中图分类号: TP37 **文献标志码:** A

Heterogeneous Multi-core Method of Multi-channel Split Screen Transmission for 4K Video Stream

WU Zhizhong^{1,2}, DENG Min^{1,2}, LI Yihang^{1,2}, ZHANG Zhigang^{1,2}, ZHANG Kuan^{1,2},
TANG Junlong^{1,2}, TANG Lijun^{1,2}

(1. School of Physics & Electronic Science, Changsha University of Science & Technology, Changsha, 410114, China; 2. Key Laboratory of Electromagnetic Environment Monitoring & Modeling in Hunan Province, Changsha, 410114, China)

Abstract: In order to solve the problem that the multi-screen video display system cannot adapt to the multi-screen transmission of ultra-high-definition (UHD) video according to the number of split screens, a heterogeneous multi-core video streaming transmission method is proposed. First, the embedded system based on ARM is used to realize multi-task processing and real-time monitoring. Then FPGA realizes hardware acceleration of receiving, converting, processing and split-screen output display of video stream. The system can configure the working parameters of FPGA according to the input signal in real time to realize the split screen display of UHD video stream with variable resolution and number of split screens. Finally, the system is tested using the Zynq UltraScale+MPSOC XCZU7EV heterogeneous multi-core processor, and results show that the multi-channel split-screen mosaic of 4K video has no obvious dislocation and consistent synchronization, which better meets the requirements of video multi-channel split-screen display.

Key words: video streaming; heterogeneous multi-core; split screen technology; 4K ultra-high-definition video

引言

近年来,高分辨率图像获取技术的进步为生物医学、天体物理学及地球系统科学等诸多领域的可视化数据分析提供了有力条件。这些可视化数据通常需要采用较大尺寸的显示器来配合高分辨率数据的展示,以达到在整幅画面下观察图像局部细节的目的^[1]。然而可视化数据在显示分辨率方面的需求超过了单屏显示系统的能力,即在单显示器上无法以全分辨率显示整幅画面^[2]。为解决此问题,一般通过多台投影机或液晶显示器组成显示矩阵,采用多屏幕拼接显示的方式扩大显示系统的整体分辨率和尺寸以满足可视化数据显示的需要。因此,随着可视化数据分辨率和尺寸需求的不断增长,所需的同屏显示设备数量也在不断增加,为显示控制系统带来了巨大挑战。

为了实现对多台显示器的控制和管理,国内外诸多学者和研究机构针对多屏显示技术开展了相关理论研究和应用技术开发,并取得了优秀的研究成果。例如,普林斯顿大学设计的 Display Wall^[3]系统以及伊利诺大学芝加哥分校提出的 SAGE^[4]和 SAGE2^[5]系统,在该领域均有良好的表现。Nirnimesh等提出的 Garuda^[5]多屏显示系统,可以在无需修改下呈现任何基于开放场景的程序应用。Ueda等针对常见多屏显示系统配置要求高、多运行在 Linux 系统下且操作难度大的问题,开发了基于 Windows 系统的多屏显示软件 Tenmads^[6],通过简单操作实现多屏显示管理。美国夏普实验室的 Deshpande 等针对多用户拼接屏幕共享使用场景提出了 SharpWall^[7]拼接显示系统,实现了 4K 视频流的传输和桌面的远程连接。日本三菱公司的 Kanda 等提出了一种超高分辨率显示系统的多终端同步显示方法,使图形在显示器之间的显示延时小于 0.5 帧^[8]。石溪大学的 Papadopoulos 等设计并建造了世界上第 1 个 10 亿像素分辨率的全封闭式显示器 Reality Deck^[9],为超大拼接显示在沉浸式系统中的应用做出了典范。

国内在多屏显示技术上也做了许多研究工作。例如,卢如西^[10]提出了一种多输出通道显示单一完整桌面的计算机结构,可实现 4×4 个显示单元的控制整体分辨率可达 4 096 像素×3 072 像素@30 Hz。然后卢如西^[11]针对超高分辨率图像处理的需求,设计了一种分布式并行处理架构,实现了分辨率为 76 800 像素×8 000 像素超大规模的显示系统。陈绍林等^[12]基于 SAGE 和 VizRoll 大屏显示技术,构建了 4×5 的高分辨率并行显示阵列。刘伟俭^[13]利用高速 PCI-E 接口和 FPGA 阵列,实现了支持 64 路外部输入的总分辨率为 15 360 像素×4 320 像素@60 Hz 的 4×8 矩阵显示,单屏分辨率 1 920 像素×1 080 像素@60 Hz 达到了较为领先的水平。此外,国内相关研究人员还提出了低成本、轻量级的分屏显示系统。例如,霍伟^[14]设计了基于 FPGA 的视频分割系统,实现了 1 280 像素×960 像素分辨率图像的 4 路 720 像素×480 像素分辨率分割显示。李宗德^[15]设计了输入分辨率为 1 920 像素×1 080 像素@60 Hz 的 4 通道 DVI 接口分屏显示系统。苏健渊^[16]基于 ARM+FPGA 的嵌入式构架搭建了多屏图像联合显示系统,可将存储在 U 盘中分辨率为 10 240 像素×8 192 像素的超大图像内容读出并在 4 个显示器上分屏显示,但无法实现视频显示功能。

综上所述,现有多屏显示系统主要有 3 种硬件实现模式:单 PC 机模式、PC 机集群模式和嵌入式构架模式,如表 1 所示。其中,单主机模式可控屏幕的数量取决于 PC 机显卡的数量及性能;PC 机集群模式除了需要高速网络互联外,每台显示设备均需要配备独立终端 PC 机,大大增加了多屏显示系统的使用成本;嵌入式构架模式最大分辨率受制于分屏装置的性能,允许输入的最大分辨率普

表 1 不同硬件模式对比

Table 1 Comparison of different hardware modes

硬件模式	屏幕数量	显示矩阵组合	分辨率	成本
单 PC 机	适中	任意组合	高	高
PC 机集群	多	任意组合	极高	非常高
嵌入式构架	较少	单一组合	中等	低

遍低于单PC机和PC机集群模式,且分屏形式较为单一,通常仅支持 1×2 或 2×2 的显示阵列,不能实时改变分屏的路数和分辨率等参数的配置。

为了实现高分辨率、灵活组合的多屏显示系统,本文以4K视频多路分屏显示为目标,研究视频流传输、转换、处理及分屏显示过程,探索基于异构多核的4K视频流多路分屏方法。此方法可提升嵌入式构架模式多屏显示系统的最高分辨率,达到 $3\ 840$ 像素 $\times 2\ 160$ 像素@60 Hz的最高输入分辨率,并根据输入分辨率的行列数量自适应匹配包括 1×2 , 1×3 , 1×4 和 2×2 在内的多种显示矩阵组合,有效提升分屏显示系统性能。

1 视频流多路分屏传输方案

1.1 视频流高速数据传输链路

多屏显示系统是视频信号从信号源到每台显示设备的必经传输链路,多屏显示系统的数据带宽是制约系统最高分辨率的主要因素之一。因此,为系统选择恰当的视频输入、输出接口和数据缓冲区以满足传输的速率要求至关重要。本文以系统的最高输入分辨率为参考,确定系统数据带宽,保证系统的可行性。

每秒60帧的4K分辨率($3\ 840$ 像素 $\times 2\ 160$ 像素)视频以常规8位色深的完全取样YUV444像素格式进行传输时,其像素时钟为594 MHz,数据带宽可达 $17.82\text{ Gb/s}^{[17]}$ 。因此,文献[14-16]所使用的DVI或VGA接口均无法满足系统带宽要求。为了满足系统输入、输出带宽,本文采用1.2版本的DisplayPort(DP)接口作为系统输入接口,最高带宽可达 $21.6\text{ Gb/s}^{[18]}$ 满足系统输入要求;采用1.4版本的HDMI接口作为系统输出接口,最高带宽可达 $10.2\text{ Gb/s}^{[19]}$ 满足系统分屏输出要求。选用带宽可达 25.6 Gb/s 的DDR3L-1600型第三代随机存取器作为数据缓冲区,保证缓冲区带宽满足链路要求。

1.2 异构多核的多路分屏控制方法

嵌入式构架的多屏显示系统,多采用FPGA或ARM+FPGA相结合的方式实现视频分割、处理和传输的功能。采用单FPGA方式时,受FPGA工作原理的影响通常仅能实现单一的分屏显示组合;ARM+FPGA方式中,由于两者缺少有效的高速数据链路,系统整体性能受到严重制约,无法处理高分辨率视频输入。为了克服以上系统结构的缺点,本文利用全可编程的ARM+FPGA异构多核片上系统设计多屏显示系统,实现多路分屏控制方法。

全可编程的异构多核片上系统构架有利于发挥ARM处理器与FPGA各自的优势,实现优势互补。该构架通过片上高速AXI总线实现ARM与FPGA间的快速数据交换^[8]。ARM通过FPGA中IP核的基地址,利用AXI总线读写IP核的寄存器数据,对参与运算的数据和参数进行灵活配置;FPGA负责高速、大规模数据处理保证运算速度。嵌入式构架的分屏显示系统结构如图1所示。在ARM处理器上利用PetaLinux工具定制适用于多屏显示的专用Linux操作系统,进行多屏显示系统的顶层设计,使片上FPGA与多核ARM处理器实现协同工作。通过一级引导程序对系统进行初始化配置、加载逻辑电路固件;生成的U-boot固件引导Linux内核启动,读取设备树文件,挂载多屏显示相关IP核驱动,使应用程序可以控制底层硬件^[20]。内核模块分配内存地址空间运行多屏显示组件,实现FPGA与ARM的内存共享,从而实现两者间的高速数据交换。

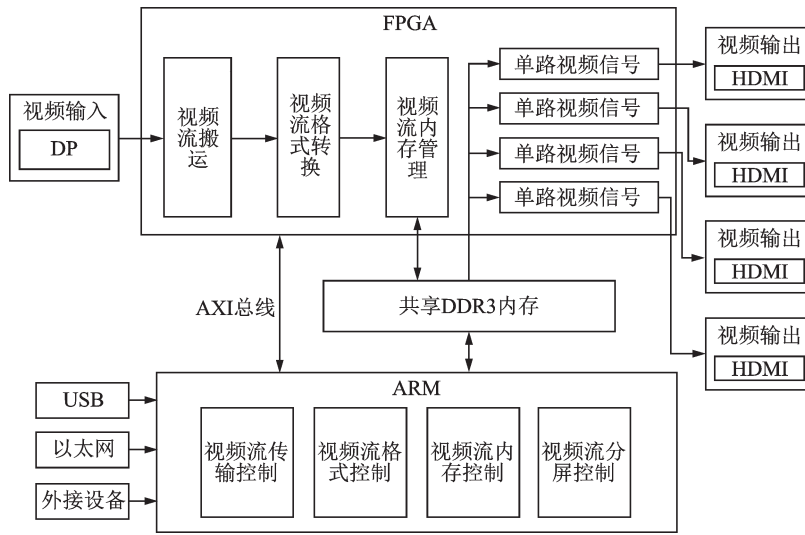


图1 分屏显示系统结构

Fig.1 Structure of a split-screen display system

2 视频流多路分屏传输技术

2.1 视频流高速数据传输技术

一般情况下, FPGA采用直接存储器访问(Direct memory access, DMA)方式访问内存进行交换, 然而DMA方式的传输带宽大约在 $750 \text{ Mb/s}^{[21]}$, 无法满足4K视频流的传输需求。因此, 需要设计适用于视频访问的专用高速视频直接存储器访问(Video direct memory access, VDMA)模块进行数据交换。VDMA支持多字节数据访问, 接口宽度最高可达1 024 b, 存取频率可达200 MHz, 数据带宽上限可达200 Gb/s, 可较好地满足4K视频数据的访问。VDMA结构框图如图2所示。视频流在存入内存之前, 先传入最多可以缓冲32行视频数据的异步行缓冲区, 完成视频帧速率与内存工作频率之间的动态匹配。设计基于AXI总线的控制和状态寄存器连接, 实现ARM处理器对异步行缓冲器的控制, 进行像素数据临时保存操作; 实现VDMA模块的数据接口宽度与访问频率等参数的在线调整, 实时改变VDMA的数据操作数量, 满足行列数自适应匹配的多种显示矩阵组合。建立独立的全双工数据读写通道, 对

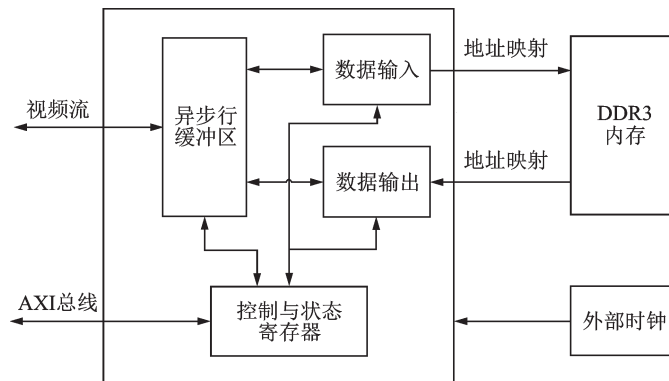


图2 VDMA结构框图

Fig.2 VDMA structure

内存地址进行映射,通过地址偏移访问未对齐内存区域,实现缓存区以内存任意地址为起始位置的读写,防止因地址对齐造成的内存溢出或数据丢失。VDMA采用全双工异步通信模式,视频流的输入、输出均与外部输入的独立时钟源同步,保证了模块的独立工作状态,使其不受处理器端的制约,以发挥其最大能效。

2.2 视频流像素数据格式的转换

通常摄像头或者其他设备采集的原始视频信号多为RGB色彩模型格式的像素,而人眼对色彩细节的分辨率比对亮度细节的分辨率要差。因此,为了进一步提高显示系统的最高分辨率与刷新频率,需要将RGB格式的像素数据转换成亮度色度格式(YUV),并对色度分辨率进行适当压缩,减少数据量以达到增加有效显示像素数量、提高显示刷新频率的目的。

YUV格式中Y代表图像的亮度,U和V代表图像的色相和色饱和度。本文所设计的分屏显示系统所支持的像素格式为YUV422和YUV420,其中422和420分别代表像素点按照2:1的水平方向重采样、1:1的垂直方向重采样和水平、垂直方向全部采用2:1的重采样。通过RGB到YUV422(420)格式的重采样转换,实现视频流数据的压缩。

像素数据从RGB到YUV422(420)格式的转换时,需要先把RGB转换为YUV444格式,再进行重采样压缩,RGB与YUV间的转换方程为^[22]

$$\begin{bmatrix} Y \\ U \\ V \end{bmatrix} = \begin{bmatrix} 0.299 & 0.587 & 0.114 \\ -0.1687 & -0.3313 & 0.5 \\ 0.5 & -0.4187 & -0.0813 \end{bmatrix} \begin{bmatrix} R \\ G \\ B \end{bmatrix} \quad (1)$$

转换后的YUV444像素格式,进行重采样降低U和V的分辨率,实现YUV422或YUV420格式。

设 $Y(i,j)$, $U(i,j)$, $V(i,j)$ 分别为第*i*行*j*列像素点的Y,U,V的值, $P(i,j)$ 为1个像素所包含的YUV信息,S为1帧图像包含的YUV值。

当YUV采样比为4:2:2时,每行像素中间隔1个像素剔除U和V的信息。

$$P(i,j) = \begin{cases} Y(i,j) + U(i,j) + V(i,j) & i = 2n - 1 \\ Y(i,j) & i = 2n \end{cases} \quad n = 1, 2, 3, \dots, 3840 \quad (2)$$

$$S = \sum_{i,j}^{3840, 2160} Y(i,j) + \sum_{i,j}^{1920, 2160} (U(2i-1,j) + V(2i-1,j)) \quad (3)$$

当YUV采样比为4:2:0时,1行像素中剔除所有V信息保留U信息,间隔1列剔除所有U信息保留V信息,同时每行像素中间隔1个像素剔除U或V的信息。

$$P(i,j) = \begin{cases} Y(i,j) + U(i,j) & i = 2n - 1, j = 2n - 1 \\ Y(i,j) + V(i,j) & i = 2n - 1, j = 2n \\ Y(i,j) & i = 2n \end{cases} \quad n = 1, 2, 3, \dots, 3840 \quad (4)$$

$$S = \sum_{i,j}^{3840, 2160} Y(i,j) + \sum_{i,j}^{1920, 1080} (U(2i-1, 2j-1) + V(2i-1, 2j)) \quad (5)$$

由S构成的视频流便可在内存中进行下一步分割重组。YUV压缩变换示意如图3所示。

2.3 视频流分屏数据的内存管理

多屏显示系统以4K视频图像每帧的完整画面作为一个数据单元进行处理,通过将存储的有效帧图像数据的内存地址进行重新映射,转换为多组不同分辨率的图像,以4组1080P的视频图像为例,命名为 P_1, P_2, P_3, P_4 。传输的4K视频流是采用逐行扫描方式,图像的首行起始地址映射为 P_1 的起始地址

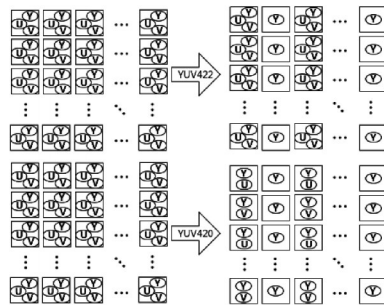


图3 YUV压缩变换示意图

Fig.3 YUV compression transformation diagram

之后依次储存;当地址偏移 1 920 个存储单元后,将地址映射到 P_2 的起始地址,再依次储存 1 920 个存储单元。按照上述方式,把第 1~1 080 行的视频数据存储到 P_1, P_2 ,把第 1 081~2 160 行的视频数据存储到 P_3, P_4 。若 $P(i, j)$ 为 1 帧 4K 视频图像 i 行 j 列的像素点, P_1, P_2, P_3, P_4 为重组的 4 组 1080P 视频图像,其原始数据重组关系为

$$P_1 = \sum_{i,j}^{1920,1080} P(i,j), P_2 = \sum_{i=1921,j}^{3840,1080} P(i,j), P_3 = \sum_{i,j=1081}^{1920,2160} P(i,j), P_4 = \sum_{i=1921,j=1081}^{3840,2160} P(i,j) \quad (6)$$

重组完成的 4 组 1080P 视频图像进行下一步单路视频信号再现。

2.4 视频信号再现

在视频显示技术中,视频信号不仅包含有效的像素信息,还包括时钟信号 DCLK、行同步信号 HS、场同步信号 VS,数据选通信号 DE,这些信号构成的视频流包含了空白区域、有效视频数据以及可寻址数据。视频信号的不同决定着输出显示视频的格式,如分辨率和帧率等。图 4 为 1 帧视频图像框架。

ARM 通过 IIC 接口读取显示器的扩展显示器识别数据(Extended display identification data, ED-ID),包含了显示设备的特性,其中第 35~37 字节数据,确定显示器能输出显示的视频格式。ARM 通过改变视频时钟频率,行、场同步信号参数,控制 FPGA 输出多路与之对应的视频流,经过高清多媒体接

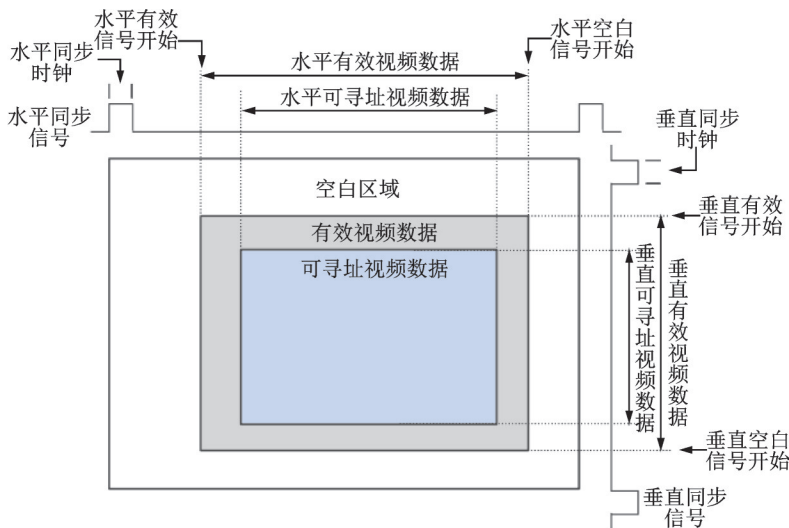


图4 1 帧视频图像框架

Fig.4 A frame diagram of a video image

口发生器转换成HDMI接口的视频流进行分屏显示。图5为1080P视频信号再现示意图。每个时钟上升沿传输1个像素点数据,当HS为低电平时传输数据无效,HS上升沿时意味着1行像素开始传输,DE为高电平时传输内存中可寻址像素,每行像素传输同理,由VS信号决定一帧图像的传输。

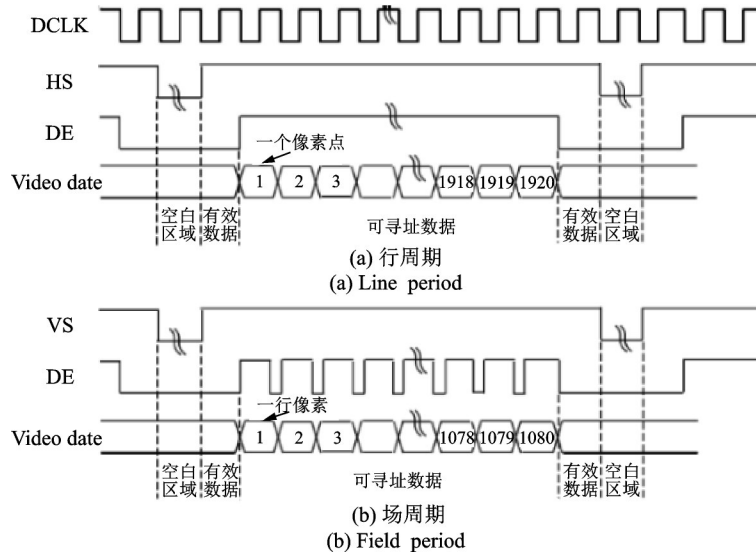


图5 视频信号再现示意图

Fig.5 Video signal reconstruction shows timing

3 测试及结果分析

本文采用Zynq UltraScale+MPSOC XCZU7EV多核异构处理器开发平台对技术进行验证。分别对系统所支持的二分屏、三分屏和四分屏(2×2组合和1×4组合)下不同分辨率显示输出进行了验证测试。不同输出组合方式下的输入、输出分辨率如表2所示。

表2 屏幕组合方式及分辨率

Table 2 Screen combination mode and resolution

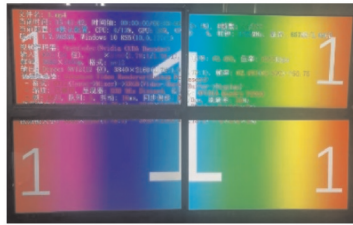
输出组合方式	输入分辨率/像素	单屏输出分辨率/像素	刷新频率/Hz
1×2	2 048×768	1 024×768	60
	2 560×800	1 280×800	60
	3 840×1 080	1 920×1 080	60
	3 840×1 200	1 920×1 200	60
	2 800×1 050	1 400×1 050	60
1×3	3 072×768	1 024×768	60
	3 840×800	1 280×800	60
	5 760×1 080	1 920×1 080	60
	5 760×1 200	1 920×1 200	60
1×4	4 096×768	1 024×768	60
	5 120×800	1 280×800	60
2×2	3 840×2 160	1 920×1 080	60

图6分别为 1×4 组合 $5\ 120\times 800@60\text{ Hz}$ 分辨率、 2×2 组合 $3\ 840\times 2\ 160@60\text{ Hz}$ 分辨率的显示效果。输出端连接4台分辨率为 $2\ 560\times 1\ 440$ 的显示器(型号:272B8QJNB),图像清晰,四端口显示顺序正确,无错位现象。



(a) 1×4 组合, $5\ 120$ 像素 $\times 800$ 像素 $@60\text{ Hz}$ 分辨率显示效果

(a) 1×4 mode and $5\ 120$ pixel $\times 800$ pixel $@60\text{ Hz}$ resolution display effect



(b) 2×2 组合, $3\ 840$ 像素 $\times 2\ 160$ 像素 $@60\text{ Hz}$ 分辨率显示效果

(b) 2×2 mode and $3\ 840$ pixel $\times 2\ 160$ pixel $@60\text{ Hz}$ resolution display effect

图6 不同组合方式显示效果

Fig.6 Display results in different combinations

采用支持多视窗技术的显示器(型号:PHIL-IPS-BDM4350UC),进行信号延时、丢帧检测。显示图像如图7所示,第1路(左上角)由信号源直接输入原始“斑马纹”测试视频信号(分辨率为 $3\ 840\times 2\ 160@60\text{ Hz}$);其余3路为分屏后输出的第2~4路信号。信号无卡顿、丢帧现象,显示顺序正确。原始信号与分屏后输出信号相差6帧,分屏传输时延为 100 ms ,传输时延较低,可较好满足应用要求。

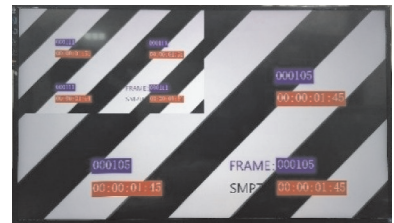


图7 传输延时测试结果

Fig.7 Transmit delay test results

4 结束语

本文提出了一种基于异构多核构架的视频流多路分屏传输方法,搭建了VDMA模块对视频流进行高速搬运,保证了超高清视频流的传输可靠性与稳定性;通过嵌入式Linux系统使分屏显示更具灵活性,实现了多种不同输出组合方式下的多种分辨率的自适应分屏显示。与传统嵌入式构架的多屏显示系统相比,异构多核构架多屏显示系统在高清视频流分屏显示上具有一定优势,可实现最高 $3\ 840$ 像素 $\times 2\ 160$ 像素 $@60\text{ Hz}$ 分辨率的视频流分屏传输。在同等分屏大小的情况下,屏幕刷新率与现有同级别多屏显示系统相比提升了一倍,且传输时延仍然保持在较低水平。该方法的传输速率与播放效果能较好地满足4K超高清视频流分屏显示的应用要求。但是本文仅研究了视频流的分屏传输技术,下一步将继续研究分屏传输过程中屏幕边框对显示效果的影响,探索多种屏幕组合下视频流的边框过度方法,以改进当前分屏显示系统的性能。

参考文献:

- [1] YAMAOKA S, DOERR K U, KUESTER F. Visualization of high-resolution image collections on large tiled display walls[J].

- Future Generation Computer Systems, 2011, 27(5): 498-505.
- [2] SCHIKORE D R, FISCHER R A, FRANK R, et al. High-resolution multiprojector display walls[J]. IEEE Computer Graphics & Applications, 2000, 20(4): 38-44.
- [3] LI K, CHEN H, CHEN Y Q, et al. Building and using a scalable display wall system[J]. IEEE Computer Graphics & Applications, 2000, 20(4): 29-37.
- [4] JEONG B, RENAMBOT L, JAGODIC R, et al. High-performance dynamic graphics streaming for scalable adaptive graphics environment[C]//Proceedings of the 2006 ACM/IEEE Conference on Supercomputing. Tampa, FL, USA: IEEE, 2006: 108.
- [5] RENAMBOT L, MARRINAN T, AURISANO J, et al. SAGE2: A collaboration portal for scalable resolution displays[J]. Future Generation Computer Systems, 2016, 54: 296-305.
- [6] UEDA M, TAKEUCHI I. Tenmads: A software distributed multi-display implementation for practical and low-cost applications [C]//Proceeding of 2009 Software Technologies for Future Dependable Distributed Systems. Tokyo, Japan: IEEE, 2009: 195-199.
- [7] DESHPANDE S, DALY S. 80.1: Technologies and applications for large sized high resolution tiled display system[J]. SID Symposium Digest of Technical Papers, 2010, 41(1): 1188-1191.
- [8] KANDA J, TSUBAKI Y, YOSHIDA H, et al. A multiple terminal synchronous display method for ultra-high resolution display systems[C]//Proceedings of 2014 IEEE International Conference on Consumer Electronics (ICCE). Las Vegas, NV, USA: IEEE, 2014: 510-511.
- [9] PAPAPOPOULOS C, PETKOV K, KAUFMAN A E, et al. The reality deck—An immersive gigapixel display[J]. IEEE Computer Graphics & Applications, 2015, 35(1): 33-45.
- [10] 卢如西. 大型拼接显示系统的设计方法[J]. 计算机工程与应用, 2008, 44(1): 84-86.
LU Ruxi. Design of large-scale display wall system[J]. Computer Engineering and Applications, 2008, 44(1): 84-86.
- [11] 卢如西. 全数字超高分辨率显示处理系统设计[J]. 微计算机信息, 2010, 26(30): 231-234.
LU Ruxi. The design of full digital ultra-high-resolution display processing system[J]. Microcomputer Information, 2010, 26(30): 231-234.
- [12] 陈绍林, 张怀, 陈石, 等. 可扩展大屏幕高分辨率并行显示系统的构建及其在地学中的应用[J]. 中国科学院研究生院学报, 2009, 26(2): 243-250.
CHEN Shaolin, ZHANG Huai, CHEN Shi, et al. Construction of a scalable high resolution parallel display wall and its application in geosciences[J]. Journal of the Graduate School of the Chinese Academy of Sciences, 2009, 26(2): 243-250.
- [13] 刘伟俭. 超高分辨率显示系统若干关键技术的研究及实现[D]. 广州:华南理工大学, 2016.
LIU Weijian. A dissertation submitted for the degree of doctor of philosophy[D]. Guangzhou:South China University of Technology, 2016.
- [14] 霍伟. 基于FPGA的高清视频分割技术的研究[D]. 南京:南京大学, 2012.
HUO Wei. Research on high definition video segmentation based on FPGA[D]. Nanjing:Nanjing University, 2012.
- [15] 李宗德. 多通道视频拼接硬件系统设计与实现[D]. 哈尔滨:哈尔滨工程大学, 2013.
LI Zongde. Design and implementation of multi-channel video splicing hardware system[D]. Harbin:Harbin Engineering University, 2013.
- [16] 苏健渊. 基于ARM+FPGA的多屏图像显示系统研究[D]. 西安:西安电子科技大学, 2014.
SU Jianyuan. Study on multi-screen display system based on ARM+FPGA[D]. Xi'an: Xidian University, 2014.
- [17] Consumer Electronics Association. A DTV profile for uncompressed high speed digital interfaces: ANSI/CEA-861-F[S]. Arlington, USA: [s.n.], 2013.
- [18] Video Electronics Standards Association. VESA display port standard: Version 1, Revision 2a[S]. Newark, USA: [s.n.], 2012.

- [19] HITACHI L T D. High-definition multimedia interface specification: Version 1.4[S]. Beaverton, USA: [s.n.], 2009.
- [20] 李毅航,张宽,尹雅君,等. 4K视频流HEVC编解码传输的异构多核方法研究[J]. 现代电子技术, 2019, 42(6): 121-125.
LI Yihang, ZHANG Kuan, YIN Yajun, et al. Research on heterogeneous multi-core method based on HEVC codec transmission of 4K video stream[J]. Modern Electronics Technique, 2019, 42(6): 121-125.
- [21] KAVIANIPOUR H, MUSCHTER S, BOHM C. High performance FPGA-based DMA interface for PCIe[J]. IEEE Transactions on Nuclear Science, 2014, 61(2): 745-749.
- [22] SON T N, HOANG T M, DZUNG N T. Fast FPGA implementation of YUV-based fractal image compression[C]// Proceedings of 5th International Conference on Communications and Electronics (ICCE). Danang, Vietnam: IEEE, 2014: 440-445.

作者简介:



吴志忠(1996-),男,硕士研究生,研究方向:嵌入式系统设计、信号检测与处理等。



邓敏(1965-),女,高级实验师,研究方向:实验技术等。



李毅航(1994-),男,硕士研究生,研究方向:嵌入式系统设计、信号检测与处理等。



张志刚(1989-),男,博士研究生,研究方向:机器学习、图像压缩、嵌入式系统设计等。



张宽(1993-),男,硕士研究生,研究方向:嵌入式系统设计等。



唐俊龙(1973-),男,副教授,研究方向:嵌入式系统设计等。



唐立军(1963-),通信作者,男,教授,博士生导师,研究方向:信号检测与处理等, E-mail: tanglj@csust.edu.cn。

(编辑:张黄群)