

一种高速数据存储方法的设计与验证

赵越¹, 余红英¹, 王一奇²

(1. 中北大学电气与控制工程学院, 太原 030051; 2. 山东航天电子技术研究所软件中心, 烟台 264010)

摘要: 针对传统FLASH存储过程中存在的数据不连续、传输速度慢的问题, 设计了一种双FIFO乒乓操作读写和四流水线FLASH写入结合的存储方法, 提高了数据存储速率。通过对芯片操作时间的精确分析, 提高了资源利用率。系统用FPGA作为主控芯片, 通过例化IP核创建了两个FIFO, 用作数据的乒乓读写, 并用两块NAND FLASH芯片的四个片选构成四流水线操作。通过Modelsim仿真工作过程、FPGA生成伪随机码的数据写-读实验和读出数据的相关性检测试验验证了该流水操作的可行性、存储速率和存储连续性。结合红外相机实物采集并存储数据, 然后通过上位机读取, 得到了正确、连续的红外图像。通过扩展缓存和FLASH片数, 可以在保证连续性的同时提高存储的速率, 即该系统具有存储速率高、适应性强的特点。

关键词: FPGA; Modelsim; 高速存储; NAND FLASH; FIFO; 乒乓操作; 四流水线; 伪随机码

中图分类号: TM933 **文献标志码:** A

Design and Verification of a High-Speed Data Storage Method

ZHAO Yue¹, YU Hongying¹, WANG Yiqi²

(1. College of Electrical and Control Engineering, North University of China, Taiyuan 030051, China; 2. Software Center of Shandong Institute of Aerospace Electronics Technology, Yantai 264010, China)

Abstract: Aiming at the problems of data discontinuity and slow transmission speed in the traditional flash storage process, a storage method combining double FIFO ping-pong operation reading and writing with four-line flash writing is designed to improve the data storage rate. Through the accurate analysis of chip operation time, the resource utilization rate is improved. The system uses FPGA as the control chip, as well as creates two FIFOs through IP core, which is used for ping-pong reading and writing of data, and uses four chips of two NAND FLASH chips to form four-line operation. The feasibility, storage rate and storage continuity of the pipelined operation are verified by Modelsim simulation and FPGA generated pseudo-random code data write-read experiment and read-data correlation detection test. Combining with the infrared camera to collect and store data, and then through the host computer to read, the correct and continuous infrared image is displayed. By expanding the number of caches and flash chips, the continuity can be ensured and the storage rate can be improved, showing that the system has the characteristics of high storage rate and strong adaptability.

Key words: FPGA; Modelsim; high-speed storage; NAND FLASH; FIFO; ping-pong operation; four-line; pseudorandom code

引言

随着现代探测设备的发展和更新,设备获取的信息量变得更大,相应的要求存储的速率也要提高^[1]。目前高速存储系统主要分为基于PC的数据采集存储系统和基于硬件平台的采集存储系统。计算机的体积限制了它在不同环境下的使用,而基于硬件平台的存储模块集成度高、体积小,可以在更多环境下应用。西安电子科技大学的安凯用2 GB的DDR3芯片作为缓存阵列,8块Micro SD卡作为存储介质,在800 MHz芯片时钟下实现了470 MB/s的存储速度^[2],但芯片存储模块利用率不高。中北大学的石帅等在40 MB/s的芯片时钟下用一块FLASH芯片的两个片选使用交错式双页面编程方法实现了30 MB/s的存储速度,但没有给芯片足够的突发存储时间^[3]。现有的高速采集存储系统大多通过使用存储速率更高的存储芯片来增加存储速度,在现有资源利用的角度没有做更深入的探究。本文设计的高速存储采集系统通过FPGA采集数据,用NAND FLASH芯片作为存储介质,通过FPGA直接操作NAND FLASH芯片,不仅能减小PCB占用面积,又能用流水线操作利用FLASH芯片的“Busy”时间^[4]。双FIFO用“乒乓读写”技术,可以做到数据不间断的存储,保证数据的实时性和可靠性。2块NAND FLASH芯片有4个片选,通过FIFO乒乓读写结合四流水线操作可以完全发挥每一片NAND FLASH的性能,从而做到连续不间断的高速数据存储^[5-6]。本系统在现有条件下,使用36 MB时钟仅用2块存储芯片就可以实现18 MB/s的存储速率,在使用同样存储速率的芯片时,流水线操作可以充分发挥FLASH芯片的性能。

1 存储系统设计方案

1.1 存储系统总体设计

存储系统由FPGA、FIFO组成和FLASH芯片组成(见图1)。其中2个FIFO在“FIFO”模块中进行例化并控制两FIFO读写顺序。FPGA控制两FIFO的读写顺序,并将FIFO读出的数据依照4条流水线的顺序写入FLASH。

1.2 FIFO乒乓操作和FLASH四流水线写入工作流程

工作过程中,两个FIFO先写入相机接收到的数据,然后FIFO1数据读出,向第一片FLASH芯片写数据,完成后片选(Chip selection, CS)1需要进行内部编程,故进入忙碌时间。此时FIFO1向CS2写入数据,CS2加载完成后继续向CS3写入数据,第四步向CS4写入数据,至此FIFO1中的数据已全部读出。此时,若CS1的内部编程已完成,忙碌时间已过,则可以写入数据,进入第2个循环;否则按照实际情况在保证满足相机数据实时写入的条件下在CS4加载完成后添加延迟,等待CS1页编程完成,开始下一轮流水线操作。第二轮由FIFO2读出数据向4片FLASH芯片中写入,同时相机数据写入FIFO1。此过程不断循环,即为FIFO的乒乓读写和4条流水线数据存储的结合。四流水线写入的工作过程如图2所示。

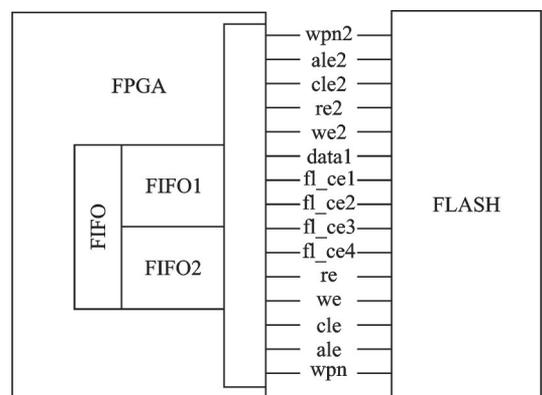


图1 存储系统设计

Fig.1 Storage system design

2 数据处理系统设计

设计系统的数据来源是 18 MB/s 相机数据, 存储芯片的时钟为 36 MHz。为了连续不间断且高速地存储相机返回的数据, 系统采用了 2 个 FIFO 乒乓操作和 4 条流水线数据存储结合的设计^[7]。

相机的时钟频率为 18 MHz, 1 页内存的大小为 4 KB, 即 4 096 个字节。所以 1 页数据的传输时间 t_1 (单位: μs) 为

$$t_1 = \frac{4\,096}{18} = 227 \quad (1)$$

系统选择两块 NAND FLASH 芯片, 4 个片选端, 采用四流水线设计。设计 2 个 FIFO, 每个 FIFO 的大小为 16 KB, 可以一次写入 4 页数据的同时缓存下面 4 页的数据^[4]。相机传输 4 页数据的时间 t_c 为

$$t_c = 227 \times 4 = 908 \quad (2)$$

设计 2 个容量为 16 KB 的 FIFO 进行乒乓操作, 当 FIFO1 进行写操作 908 μs 时, FIFO2 进行读操作 908 μs , 读出来的数据同步写入 NAND FLASH; FIFO2 进行写操作 908 ns 时, FIFO1 进行读操作 908 ns, 依次循环, 保证相机输入速率和 NAND FLASH 存储速率进行匹配, 使红外相机的数据能连续地写入 NAND FLASH 中。

由于 NAND FLASH 采用 36 MHz 时钟, 所以 NAND FLASH 写 1 页数据需要的时间为 1 个起始命令 (80H), 5 位页地址, 4 096 位灰度图数据, 1 个停止命令 (10H), 1 个 0.1 μs 延迟^[8-9]。

选用的 NAND FLASH 典型忙碌时间为 200 μs , 最大忙碌时间为 700 μs ^[10]。只要保证下一次循环到 CS1 时 CS1 已经完成页编程操作, 就可以保证四流水线操作的正确性, 不浪费芯片性能^[11]。按照最大忙碌时间 700 μs 算, 每片 FLASH 芯片完成加载所需的时间 t_s 为

$$t_s = \frac{1}{36 \times (4\,096 + 7) + 0.1} = 115 \quad (3)$$

则 4 片 FLASH 加载完需要 460 μs 。

芯片 1 忙碌完成的时间 t_b 为

$$t_b = t_s + 700 = 815 \quad (4)$$

可见 460 $\mu\text{s} < 815 \mu\text{s}$, 所以此时芯片 1 可能未加载完成, 所以在每写完 4 片之后加 1 个 400 μs 的延迟。所以四流水线模式写编程页 (16 KB) 的时间 t_q 为

$$t_q = t_s \times 4 + 400 = 860 \quad (5)$$

t_q 小于相机写入 FIFO 的时间 t_c , 能保证相机数据实时写入 NAND FLASH 中, 且满足相机传输的最大速率 18 MB/s。在四流水线工作模式下 Busy 时间被很好地利用, 极大地提高了存储速率和数据写入的连续性^[12]。

3 实验验证

3.1 FIFO 乒乓操作+四流水线写入 FLASH 的仿真实验

将一组连续的数据写入 FIFO, 再由 FIFO 写入 FLASH (见图 3)。其中 flag_read 是读 FIFO 的标志位, 高电平代表读出; x 是控制 FIFO 乒乓操作的标志位, 上升沿代表切换 FIFO; q 和 indata 连在一起, 是

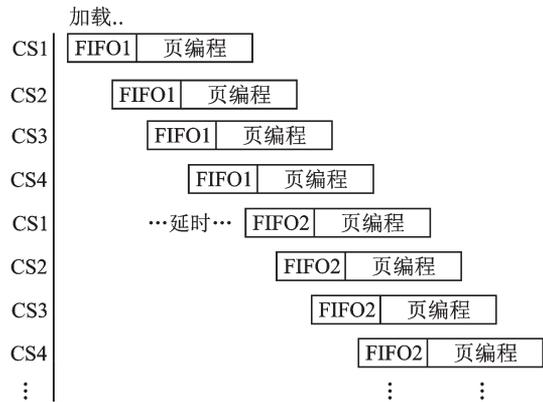


图2 四流水线写入工作过程

Fig.2 Four-line writing process

从FIFO读出的数据;U4/data是FLASH1的数据总线,u4/data1是FLASH2的数据总线;fl_ce、fl_ce_1、fl_ce_2、fl_ce_1_2是flash片选信号,低电平代表选中,分别代表芯片1到芯片4;rdreq_和rdreq1_是读FIFO的标志位,wrreq_和wrreq1_是写FIFO的标志位;fl_we和fl_we2是FLASH的写使能信号;其他信号是FLASH和写FIFO的时钟等。

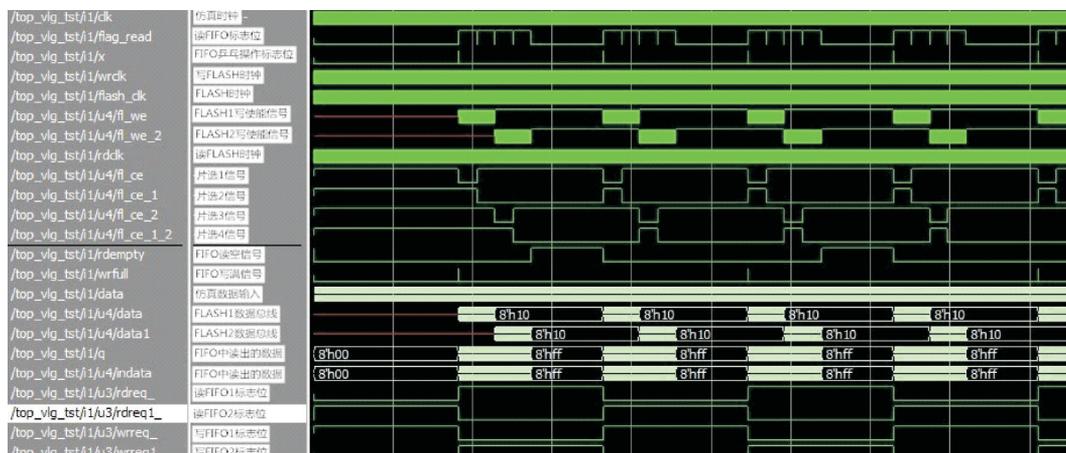


图3 数据存储仿真时序图
Fig.3 Data storage simulation sequence diagram

由图3可以看出,x的1个上升沿到来同时flag_read电平升高,开始读FIFO。fl_ce电平拉低,代表选中第一块FLASH的第一片存储芯片,即CS1,u4/data的数据开始随着时钟在fl_we的上升沿持续写入。rdreq_电平升高,说明读的是FIFO1中的数据。wrreq_1是低电平,FIFO2正在写入数据。每组flag_read的高电平中间有3个下降沿,是切换片选时FPGA对FLASH输入指令和地址的时间。CS1写完后fl_ce拉高,fl_ce_1电平拉低,直到CS2写完,开始写FLASH2,此时FLASH1的两个片选信号可以暂时不变,直到再次写FLASH1时根据流水线改变电平。u4/data和u4/data1是写FLASH的信号,所以结束后要给FLASH一个结束信号10H。

用上位机软件将红外图片转换为图像数据,并作为i1/data的数据;将程序下载到硬件系统中,待FLASH写入完成后连接上位机将FLASH中的数据读取并显示图像,结果如图4所示。

通过仿真验证,FIFO乒乓读写和FLASH片选可以正确工作。

3.2 硬件系统的采集存储试验验证

(1) 硬件系统总体设计

相机采集存储系统由红外相机、FPGA主控系统、存储部分、电源部分和上位机组成(见图5)。

(2) 硬件设计

电源模块主要由3个AMS1117分别给系统提供1.2V、2.5V和3.3V的电源电压,供PCB上其他模块使用。

主控系统由主控芯片及其外围电路组成。主控芯片选用飓风3系的EP3C25Q240C8N,功耗较低,资源适合本系统;程序下载用10针JTAG下载口,程序固化在EPCS16里。

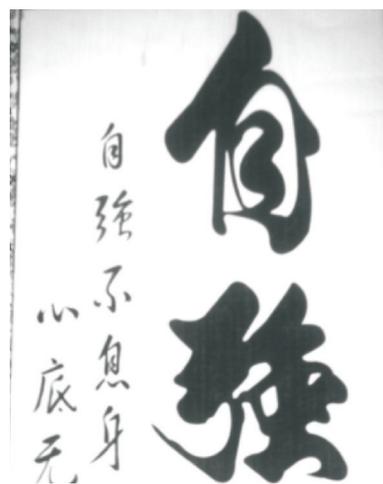


图4 仿真数据显示
Fig.4 Simulation data display

红外相机的型号为LA6110,分辨率为640×512,探测帧频为50 Hz,时钟频率为18 MHz,输出的数字信号支持Camera Link协议。

为了得到完整的红外相机图像,突发存储速度需达到36 MB/s。存储系统由两块NAND FLASH组成,采用三星的K9WBG08U1M,时钟频率36 MHz,其大小为4 GB,2个一共8 GB,每块NAND FLASH内部有2个片选端,可以通过片选来操作具体的片。1片有8 192个块,1块有64页,1页有4 KB的存储容量。

USB2.0通信模块由MINI-B、68013和24LC64组成,可将FLASH中的数据传输到上位机。

将主控芯片、电源管理、存储芯片和接口等设计在1块9 cm×8 cm的PCB上,集成度更高,小体积的特点使本系统可以应用在更多场景。如图6所示为PCB的设计。

(3) 硬件存储系统验证

编写一个伪随机码生成模块,生成9阶伪随机码^[13]。将生成的伪随机数写入到NAND FLASH中,再用上位机读取出来,通过MATLAB仿真软件可以将原始码与上位机读出的伪随机码做相关检测,得到的误码率即为存储的误码率。用线性移位寄存器生成伪随机码,每次将9位2进制数的最高位提取输出,然后将伪随机数左移一位,最高位和第4位进行异或运算,并将结果补充至最低位。将FPGA生成的伪随机码写入NAND FLASH中,用上位机读出的数据如图7所示。

将读出的数据与原始码进行相关性检测试验,为方便观测,每次截取100 KB的数据进行相关检测(见图8)。所有数据完成检测后,误码率约为10⁻⁶,数据比较可靠,对本试验的影响可忽略。

000010101011101101100001101101101100011010001011111101001011
011110001111001101001101011100011010001011111101001011
00010100110001100000001100110010101100100111111011010010
010011011111001011010100001010001001110110010111011000
1101010100011100100001100010000101010101111010110100000
11011101101010110000010111011110001111001101001101011
0001101000101111110100101100010100110001100000001100110
0101011001001111110110100100100110111110010110101000010
10001001110110010111101100001101010100111001000011000100
00101010101111010110100001101110110101011000001011101
1111000111100110100110101110001101000101111110100101100
0101001100011000000011001100101011001001111101101001001
0011011111001011010100001010001001110110010111101100001
1010101001110010000110001000010101010111101011010000011
01110110110101100000101110111100011110011010001101011100
01101000101111110100101100010100011000110000000110011001
010110010011111101101001001001101111100101101010100001010

图7 上位机读出的数据

Fig.7 Data read by the host computer

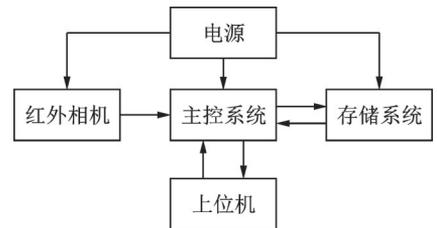


图5 硬件总体设计

Fig.5 Overall design of hardware

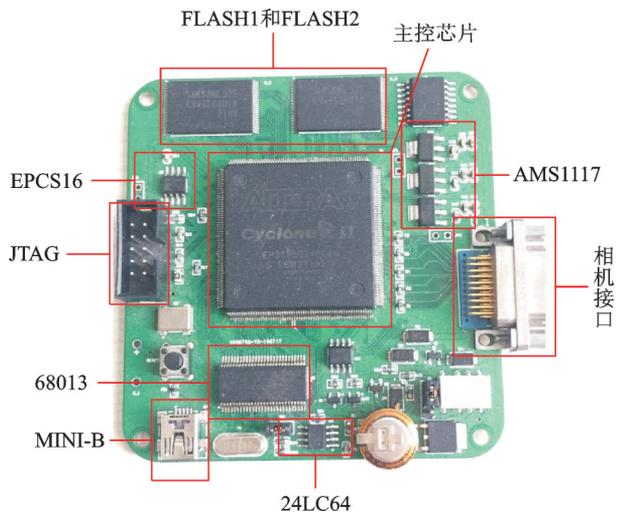


图6 系统PCB设计

Fig.6 System PCB design

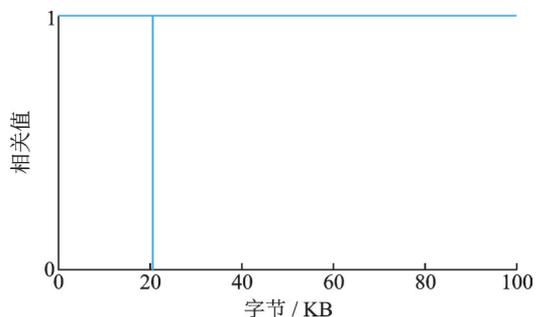


图8 相关性检测试验结果

Fig.8 Results of correlation test

将存储系统连接到红外相机,接通电源后红外相机数据存储到 NAND FLASH 中,然后连接上位机将 NAND FLASH 中的视频读出。上位机显示的相机图像如图 9 所示。

由图片可以看出,画面正常无坏点,纸盒上的“DDS”“仰卧板”等字样清晰可见。实验表明红外相机的图像得到正确的存储和读取。

4 结束语

经过试验验证,系统可以实现 18 MB/s 的红外相机数据实时存储。存储系统具有较强的适应性,在存储速率要求更高的条件下增加芯片数量,可以更好地利用 FLASH 的 Busy 时间,在保证数据存储连续性的同时,在同样的芯片性能下达到更高的存储速度。若使用 n 组流水线,每组多个芯片流水处理, n 组并行存储的方法,可以达到 n 倍 FLASH 时钟的存储速度。

参考文献:

- [1] 马志刚,朱思敏,刘文怡.基于LVDS的高速图像数据存储系统设计[J].数据采集与处理,2013,28(3):382-385.
MA Zhigang, ZHU Simin, LIU Wenyi. Design of high speed image data storage system based on LVDS[J]. Journal of Data Acquisition and Processing, 2013, 28(3): 382-385.
- [2] 安凯.大容量高速采集存储设备的研制[D].西安:西安电子科技大学,2019.
AN Kai. Development of large capacity and high speed data acquisition and storage equipment[D]. Xi'an: Xi'an University of Electronic Science and Technology, 2019.
- [3] 石帅,畅彦祥,周勇军,等.基于LVDS高速高可靠性数据传输存储系统设计[J].测试技术学报,2020,34(3):204-207,226.
SHI Shuai, CHANG Yanxiang, ZHOU Yongjun, et al. Design of high speed and high reliability data transmission and storage system based on LVDS[J]. Journal of Testing Technology, 2020, 34(3): 204-207, 226.
- [4] 赵亚慧,金龙旭,陶宏江,等.基于NAND Flash的高速大容量存储系统的设计[J].电光与控制,2016,23(5):71-75,79.
ZHAO Yahui, JIN Longxu, TAO Hongjiang, et al. Design of high speed and large capacity storage system based on NAND Flash[J]. Electro Optics and Control, 2016, 23(5): 71-75, 79.
- [5] 贾刘彬,赵冬青,纪长松,等.基于FPGA的双流水线高速存储方法[J].仪表技术与传感器,2017(3):98-101,105.
JIA Liubin, ZHAO Dongqing, JI Changsong, et al. Dual stream waterline high speed storage method based on FPGA[J]. Instrument Technology and Sensor, 2017(3): 98-101, 105.
- [6] 程洪涛,赵冬青,储成群,等.基于LVDS的高速数据存储系统优化设计[J].实验室研究与探索,2018,37(5):74-77,99.
CHENG Hongtao, ZHAO Dongqing, CHU Chengqun, et al. Optimization design of high speed data storage system based on LVDS[J]. Laboratory Research and Exploration, 2018, 37(5): 74-77, 99.
- [7] 马文锐.基于闪存阵列的高速存储系统设计与实现[D].西安:西安电子科技大学,2018.
MA Wenrui. Design and implementation of high speed storage system based on flash memory array[D]. Xi'an: Xi'an University of Electronic Science and Technology, 2018.
- [8] 文丰,丁志钊.基于FPGA的并行测试高速存储技术[J].现代工业经济和信息化,2016,6(4):33-35.
WEN Feng, DING Zhizhao. Parallel test high speed storage technology based on FPGA[J]. Modern Industrial Economy and Informatization, 2016, 6(4): 33-35.



图9 上位机显示的相机图像

Fig.9 Camera image displayed by the host computer

- [9] 赵俊江,张会新.一种高速大容量图像存储装置的关键技术研究[J].现代电子技术,2017,40(12):144-147,151.
ZHAO Junjiang, ZHANG Huixin. Research on key technology of a high speed and large capacity image storage device[J]. Modern Electronic Technology, 2017, 40(12): 144-147, 151.
- [10] NIKOLAOS T, ELENI B, MARIA V, et al. Real-time emulation and analysis of multiple NAND flash channels in solid-state storage device[J]. Microprocessors and Microsystems, 2020, 74: 102986.
- [11] 程晓航.基于FPGA的SATA盘大容量存储系统的设计与实现[D].西安:西安电子科技大学,2019.
CHENG Xiaohang. Design and implementation of large capacity storage system with SATA disk based on FPGA[D]. Xi'an: Xi'an University of Electronic Science and Technology, 2019.
- [12] 杨玉华,秦菲,单彦虎,等.基于FPGA的高速图像存储系统的设计[J].电子器件,2018,41(4):970-975.
YANG Yuhua, QIN Fei, SHAN Yanhu, et al. Design of high speed image storage system based on FPGA[J]. Electronic Devices, 2018, 41(4): 970-975.
- [13] 刘大成,胡南,常春起,等.基于伪随机序列调制彩色视觉刺激的脑机接口[J].数据采集与处理,2017,32(1):191-197.
LIU Dacheng, HU Nan, CHANG Chunqi, et al. Brain computer interface based on pseudo-random sequence modulation color visual stimulation[J]. Journal of Data Acquisition and Processing, 2017, 32(1): 191-197.

作者简介:



赵越(1996-),通信作者,男,硕士研究生,研究方向:电力电子技术、嵌入式技术,E-mail:825863296@qq.com。



余红英(1969-),女,博士,教授,研究方向:信号及信息处理。



王一奇(1994-),男,硕士,工程师,研究方向:电力电子技术。

(编辑:王静)